

(11) Japanese Unexamined Patent Application Publication No.

11-163103

(43) Publication Date: June 18, 1999

(21) Application No. 9-322544

(22) November 25, 1997

(71) Applicant: Hitachi, Ltd.

(72) Inventors: Yoshio KAWAMURA et al.

(74) Agent: Patent Attorney, Akio TAKAHASHI et al.

(54) Title of the Invention: MANUFACTURING METHOD AND
APPARATUS OF SEMICONDUCTOR DEVICE

(57) [Abstract]

[Object] To provide a manufacturing method of a semiconductor device and a manufacturing apparatus thereof without causing a transverse slippage.

[Solving Means] A semiconductor device is manufactured by fixing a semiconductor substrate on a fixing table (1) having a structure provided with a plurality of projections (3) higher in height than the wall (2) by causing the projections (3) to cut into the back surface of the semiconductor substrate, and applying various treatments such as exposure and flattening.

[Effect] It is possible to polish only convexities of pattern to flatten the surface without causing flaws or

(

treatment unevenness on the surface of the semiconductor substrate and without the need to polish concavities of various patterns of the semiconductor device.

[Claims]

[Claim 1] A manufacturing method of a semiconductor device, comprising the steps of arranging a semiconductor substrate on a fixing table having a wall and a plurality of projections higher in height than said wall formed on the surface thereof; holding said semiconductor substrate on said fixing table so that the back surface of said semiconductor substrate is in contact with said wall and said plurality of projections penetrates into the back surface of said semiconductor substrate by a prescribed depth, and applying a prescribed treatment to said semiconductor substrate.

[Claim 2] The manufacturing method of a semiconductor device according to claim 1, wherein the entire surface area of said semiconductor substrate except for the tapered outer peripheral end portion is held on said fixing table with a degree of flatness of under 0.3 μm .

[Claim 3] The manufacturing method of a semiconductor device according to claim 1 or 2, wherein said prescribed depth is at least 0.1 μm and up to 0.5 μm .

[Claim 4] The manufacturing method of a semiconductor device according to any one of claims 1 to 3, wherein said prescribed treatment is a treatment of forming a prescribed pattern by the exposure process on a resist film formed on said semiconductor substrate.

[Claim 5] The manufacturing method of a plurality of semiconductor devices according to any one of claims 1 to 3, wherein said prescribed treatment is a treatment of flattening steps formed on the surface of said semiconductor substrate by the polishing process.

[Claim 6] The manufacturing method of a semiconductor device according to claim 5, wherein said flattening treatment is accomplished by removing by polishing desired portion of the pattern formed on the surface of said semiconductor substrate.

[Claim 7] The manufacturing method of a semiconductor device according to any one of claims 1 to 6, wherein said semiconductor substrate is fixed so as to be in contact with said wall at a summit line position of a back surface roughness curve of said semiconductor substrate, and to be in contact with the tips of said projections at a position closer to the trough from the summit line of the back surface roughness curve of said semiconductor substrate.

[Claim 8] The manufacturing method of a semiconductor device according to any one of claims 1 to 7, wherein said semiconductor substrate is fixed onto said fixing table by introducing a fluidized medium into a gap between the back surface of said semiconductor substrate and said fixing table, and solidifying said medium.

[Claim 9] The manufacturing method of a semiconductor

device according to claim 8, wherein, after solidifying said medium, said semiconductor substrate is curved into a concentric circle shape, and further the surface of said semiconductor substrate is polished for flattening.

[Claim 10] A manufacturing apparatus of a semiconductor device, comprising fixing means for fixing a semiconductor substrate to be treated and treating means applying a prescribed treatment to said semiconductor substrate, wherein a wall formed along the edge and a plurality of projections surrounded by said wall and higher in height than said wall are formed on the surface of said fixing means.

[Claim 11] The manufacturing apparatus of a semiconductor device according to claim 10, wherein said projections are higher in height by $0.1\text{ }\mu\text{m}$ to $0.5\text{ }\mu\text{m}$ than said wall.

[Claim 12] The manufacturing apparatus of a semiconductor device according to claim 10 or 11, wherein said fixing means has a structure with a value of first shape index defined by $L \times L \times P \times (1 - v \times v) / (a \times E)$ of 0.0000013 to 0.000007 (cm) (where, E is a longitudinal modulus of elasticity (kg/cm^2) of said semiconductor substrate); v is Poisson's ratio of said semiconductor substrate; and a is an effective radius (cm) of a contact portion produced by bringing said semiconductor substrate into contact with said projections arranged at intervals L (cm) under a pressure P

(kg/cm²).

[Claim 13] The manufacturing apparatus of a semiconductor device according to any one of claims 10 to 12, wherein said wall has a height lower than the height of said projections by $\Delta h = 73917 \times L \times L \times P \times (1 - v_0 \times v_0)/E_0 + (1 - v \times v)/E/a - 0.0063$ (where, L is the arrangement interval of wall (cm); 2a is the width of said wall (cm); E₀ is the longitudinal modulus of elasticity of said projections and said wall (kg/cm²); v₀ is Poisson's ratio of said projections and said wall; E is the longitudinal modulus of elasticity of said semiconductor substrate (kg/cm²); v is Poisson's ratio of said semiconductor substrate; and a is the effective radius (cm) of a contact portion produced upon bringing said semiconductor substrate, said wall and said projections of an arrangement interval L into contact by pressing).

[Claim 14] The manufacturing apparatus of a semiconductor device according to any one of claims 10 to 13, wherein said fixing means has means to evacuate a gap between the back surface of said semiconductor substrate and said fixing table to cause said semiconductor substrate to be attracted onto said fixing means.

[Claim 15] A projecting exposure apparatus comprising an optical system for projection-exposing the pattern of an original mask onto a photo-resist film formed on a

semiconductor substrate, a fixing table for fixing said semiconductor device onto the surface thereof, an X moving platform, a Y moving platform and a Z moving platform for causing movement of said fixing table in the X-axis direction, the Y-axis direction and the Z-axis direction; wherein a strip-shaped wall formed along an edge of the upper surface of said fixing table and a plurality of projections higher in height than said wall, surrounded by said wall are formed on the upper surface of said fixing table.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a manufacturing method and a manufacturing apparatus of a semiconductor device. More particularly, the invention relates to a manufacturing method of a semiconductor device which permits easy manufacture of a high-performance semiconductor device through various treatments such as exposure and polishing at a high-accuracy alignment, and a manufacturing apparatus of a semiconductor device used therefore.

[0002]

[Description of the Related Art] When manufacturing a highly integrated semiconductor device of a higher degree of integration than a 256-Mbit DRAM (dynamic Random Access

Memory), fine circuit patterns are optically exposed and transferred by means of an exposure unit having a shallow allowable focal depth. When exposing and transferring a fine circuit pattern by using an exposure unit, it is necessary to fix the substrate so that the exposed surface of the substrate becomes highly flat. As a method for flatly fixing the substrate as described above, for example, a vacuum attracting base having a plurality of projections as disclosed in Japanese Patent No. 2-574818 is known, but a satisfactory flatness has not as yet been achieved.

[0003] Furthermore, in order to optically expose and transfer various fine patterns, by use of an exposure unit having a shallow allowable focal depth, on a substrate on the surface of which a stepped structure is formed through various processes after exposure, it is necessary to flatten patterns formed on the substrate surface.

[0004] The conventionally known such methods include a reflow flattening method of softening an insulating film by heating, as disclosed in Japanese Unexamined Patent Application Publication No. 7-314298; and a chemical mechanical polishing (CMP) method of applying a chemical and mechanical working. The aforementioned reflow flattening method and etching method have a problem in that a flatness satisfying the allowable range of a shallow focal depth of the exposure unit is unavailable, although stepped portion

can roughly be smoothed locally.

[0005] However, in the aforementioned chemical mechanical polishing method, which comprises the steps of pressing a flexible polishing sheet along the surface of a semiconductor substrate under a uniform pressure and holding a polishing agent between the substrate surface and the polishing sheet, thereby polishing the substrate surface. Flattening at a high accuracy than in the above-mentioned reflow flattening method or the etching method is therefore possible, so that it is popularly introduced into semiconductor manufacturing processes.

[0006] For the purpose of solving the problem of defective forming of circuit patterns during exposure-transfer caused by foreign matters present between the attracting base of the exposure unit and the semiconductor substrate, a method of causing the semiconductor substrate to slide on the surface of the attracting base, and after removing fine particles of dust from the attracting plate surface, fixing the semiconductor substrate onto the attracting base is disclosed in Japanese Examined Patent Application Publication No. 60-15147.

[0007] In addition, a method of working a semiconductor substrate while causing the substrate to be flattened to do a planetary movement during the flattening with a view to solving the problem of flattening unevenness is disclosed in

Japanese Unexamined Patent Application Publication No. 7-1328, and a method of holding a substrate by vacuum adsorption, pressing this substrate against a polishing member, and then releasing vacuum adsorption for polishing is disclosed in Japanese Unexamined Patent Application Publication No. 5-251411.

[0008] A method of not polishing concavities of a fine convex-concave pattern of a semiconductor device but polishing only convexities formed on the surface of the semiconductor substrate by using a polishing member having a high flexural rigidity with a plurality of grooves for removing polishing chips is disclosed in Japanese Unexamined Patent Application Publication No. 7-314298.

[0009] A method of flattening-working by forming a puddle of a suspension of a polishing agent by enclosing the outer periphery of the polishing member for the purpose of ensuring presence of the polishing agent in a sufficient amount in the gap between the polishing member and the substrate is described in Japanese Examined Patent Application Publication No. 7-7755.

[0010] An apparatus for polishing a substrate by arbitrarily changing the curvature of the vacuum chuck surface of the adsorption platform is disclosed in Japanese Unexamined Patent Application Publication No. 9-38858.

[0011] As a method for flattening-working a semiconductor

wafer, a method of polishing a wafer surface with a grindstone by fixing the wafer by a frozen chuck using a liquid subjected to a reduction of surface tension or a degassing treatment is described in Japanese Unexamined Patent Application Publication No. 9-007986.

[0012]

[Problems to be Solved by the Invention] The aforementioned conventional vacuum adsorption platform has a structure such that: (1) The wall in continuous contact with the back surface of the substrate and projections in spotted contact therewith all have the same height; (2) The outer peripheral wall is rounded in shape to reduce the probability of entrapping wastes and dust onto the outer peripheral wall continuously coming into contact with the substrate; or (3) The substrate is fixed and held by removing foreign matters adhering to the back surface of the substrate through simultaneous use of contact with the adsorption platform and removal by friction. In the adsorption platform having such a structure, an area of 3 to 5 mm from the outer periphery end of the substantially circular wafer which is a substrate is regarded as an area not in use for preparation of a semiconductor device and treated as being outside the range of guarantee of flatness upon fixedly holding the substrate.

[0013] On the other hand, for the purpose of improving the production efficiency to cope with the general tendency

directed toward finer patterns and a larger chip size, the wafer diameter has increased to larger than 300 mm, and further, forming fine semiconductor elements at a high yield, covering even a surface area closest to the outer periphery of a wafer is required to achieve a high productivity. In this move, the following problem is encountered. Upon exposure-transferring a circuit pattern by an exposure unit, exposure energy is accumulated in the substrate through repeated exposure-irradiation, and thermal stress in the substrate causes it to move within a plane in parallel with the substrate plane. This leads to a problem of occurrence of an alignment error of the pattern to be transferred. Resolution of this problem is now indispensable for improving the yield of semiconductor elements.

[0014] The chemical mechanical polishing method is now introduced into manufacture of semiconductor devices as a method for increasing the tolerance of focal depth of the exposure unit. When using this method, working with a soft polishing member results in the problem of working unevenness in that not only convexities of a pattern formed on the surface of substrate, but also concavities not to be worked are worked. Establishment of a working technology not working pattern concavities is therefore expected.

[0015] This phenomenon of working unevenness is more serious according as the working surface pressure during

working caused by the pressing pressure of the substrate onto the polishing member is higher, according as intervals between pattern convexities of a stepped pattern of the semiconductor device of the substrate surface is wider, and according as the rigidity of the polishing member is higher. Reducing the working surface pressure for alleviating this phenomenon leads to a decrease in working efficiency and this results in a problem of increasing the working time.

[0016] Another problem is that, unless the polishing member is formed of a sufficiently soft material, coagulated work chips and grindstone particles of the polishing agent cause flaws on the substrate surface. Moreover, still another problem is revealed that bubbles contained in the working liquid of polishing agent in suspension penetrate into the space between the substrate surface and the polishing sheet, and the area thereof varies with convexities and concavities of the substrate surface, and the varying working speed causes working unevenness.

[0017] According to the study conducted by the present inventors, when using the chemical mechanical polishing method in the manufacture of a semiconductor device, various patterns for composing a semiconductor device are formed, and the polishing accuracy depends upon the shape of the laminated substrate surface. Particularly, it is clear that, by increasing the rigidity of the polishing member, a

working unevenness in a shape smaller than several 10 nm appears on the substrate surface with a period of several mm to several 10 mm. It is therefore necessary to develop a manufacturing method permitting manufacture of a semiconductor device at a very high accuracy by eliminating such an influence of the substrate surface shape.

[0018] Upon fixing a substrate flatly on an adsorption platform, and applying flattening working by bringing it into contact with a polishing member, a phenomenon was found of the substrate on the adsorption platform under the effect of friction force upon working between the polishing member and the substrate surface. Also in the application of the method of releasing the adsorption force or the method of causing a planetary rotation by a relative working force from the polishing member, the rotating motion is governed by the mutual force difficult to control at the boundary between the substrate and the polishing member. As a result, movement of rotation loses its uniformity. As a result, the working speed cannot be uniform, this causing a working unevenness upon flattening-working the substrate.

[0019] It is an object of the present invention to solve the above-mentioned problems in the conventional art, and to provide a manufacturing method of a semiconductor device, which permits maintenance of a high alignment accuracy without a transverse movement of the semiconductor substrate

on a fixing table even when exposure irradiation energy is accumulated in the semiconductor substrate, and forming of fine pattern latent images at a high accuracy on the entire area of a photosensitive film coated onto the substrate surface, and a manufacturing apparatus used therefor.

[0020] It is another object of the present invention to provide a manufacturing method of a semiconductor device, which permits partial removal of various patterns, even when these various patterns formed on the substrate surface are different in height or intervals of convexities and concavities of patterns, without being affected by influence of the surface shape of substrate, and a manufacturing apparatus used therefore.

[0021] It is still another object of the present invention to provide a manufacturing method of a semiconductor device, which permits working of only convexities and formation of a high-performance semiconductor device without causing flaws or working unevenness on the surface of semiconductor substrate and without working concavities of patterns, and a manufacturing apparatus used therefore.

[0022]

[Means for Solving the Problems] To achieve the aforementioned objects, the manufacturing method of a semiconductor device of the present invention comprises the steps of arranging a semiconductor substrate on a fixing

table having a wall and a plurality of projections higher in height than the wall formed on the surface thereof; holding the semiconductor substrate on the fixing table so that the back surface of the semiconductor substrate is in contact with the wall and the plurality of projections penetrate into the back surface of the semiconductor substrate by a prescribed depth, and applying a prescribed treatment to the semiconductor substrate.

[0023] More specifically, on the upper surface of a fixing table having a strip-shaped wall formed along the edge of the upper surface and a plurality of projections surrounded by the wall, a semiconductor substrate to be treated is fixed so that the back surface of the semiconductor substrate is in contact with the wall, and the plurality of projections penetrate into the back surface of the semiconductor substrate by a prescribed depth, for various treatments. By fixing the semiconductor substrate so that the plurality of projections penetrates the back surface of the semiconductor substrate by a prescribed depth, satisfactory fixing is ensured, for example, through prevention of transverse shift of the semiconductor substrate or transverse displacement of the semiconductor substrate caused by thermal stress resulting from accumulation of exposure-irradiation energy. In addition, since the projections have a larger height than the wall,

the interior of the semiconductor substrate never curves downward even when the projections penetrate the back surface of the semiconductor substrate, thus keeping a sufficient flatness.

[0024] As a result, the entire area of surface except for the tapered outer periphery of the semiconductor substrate is held on the fixing table with a flatness under $0.3\ \mu\text{m}$.

[0025] A preferable result is obtained by a value of the aforementioned prescribed depth of at least $0.1\ \mu\text{m}$ and up to $0.5\ \mu\text{m}$.

[0026] After thus fixing the semiconductor substrate on the fixing table, various treatments can be applied, including a treatment of forming a prescribed pattern by the exposure process on a resist film formed on the semiconductor substrate and a treatment of flattening steps formed on the surface of the semiconductor substrate by the polishing process. This flattening treatment is accomplished, for example, by removing by polishing desired portion of the pattern formed on the surface of the semiconductor substrate. Since this achieves flattening by polishing only convexities of the pattern, a satisfactory result is available. The chemical mechanical polishing method is preferably applicable for this flattening.

[0027] As the semiconductor substrate is fixed so as to be in contact with the wall at a summit line position of a back

surface roughness curve of the semiconductor substrate, and to be in contact with the tips of the projections at a position closer to the trough from the summit line of the back surface roughness curve of the semiconductor substrate, thereby giving a satisfactory result.

[0028] The semiconductor substrate can more firmly be fixed onto the fixing table by introducing a fluidized medium into a gap between the back surface of the semiconductor substrate and the fixing table, and then solidifying the medium.

[0029] After solidifying the medium, the semiconductor substrate can be curved into a concentric circle shape, and further the surface of the semiconductor substrate can be polished for flattening.

[0030] A manufacturing apparatus of a semiconductor device, comprising fixing means for fixing a semiconductor substrate to be treated and treating means applying a prescribed treatment to the semiconductor substrate, wherein a wall formed along the edge and a plurality of projections surrounded by the wall and higher in height than the wall are formed on the surface of the fixing means, is applicable for the foregoing manufacturing method of a semiconductor device.

[0031] More specifically, this manufacturing apparatus has fixing means for fixing a semiconductor substrate, wherein a

strip-shaped wall formed along the edge and a plurality of projections surrounded by this wall and having a height larger than the wall are formed on the upper surface of the fixing means. As a result, as described above, the semiconductor substrate can be fixed without a transverse slip or displacement, and a very satisfactory surface flatness is available.

[0032] The difference in height between the projections and the wall can be appropriately selected, depending upon the depth of penetration of the projections into the back surface of the semiconductor substrate. Use of a height of the projections higher than the wall by $0.1\text{ }\mu\text{m}$ to $0.5\text{ }\mu\text{m}$ gives a result preferable in practice.

[0033] The fixing means has a structure with a value of first shape index defined by $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ of 0.0000013 to 0.000007 (cm) (where, E is a longitudinal modulus of elasticity (kg/cm^2) of the semiconductor substrate); ν is Poisson's ratio of the semiconductor substrate; and a is an effective radius (cm) of a contact portion produced by bringing said semiconductor substrate into contact with the projections arranged at intervals L (cm) under a pressure P (kg/cm^2). This makes it possible to achieve penetration of the projections into the back surface of the substrate without causing a change in surface shape of the substrate.

[0034] The wall has a height lower than the height of said projections by $\Delta h = 73917 \times L \times L \times P \times ((1 - v_0 \times v_0)/E_0 + (1 - v \times v)/E)/a - 0.0063$ (where, L is the arrangement interval of wall (cm); 2a is the width of the wall (cm); E_0 is the longitudinal modulus of elasticity of the projections and the wall (kg/cm^2); v_0 is Poisson's ratio of the projections and the wall; E is the longitudinal modulus of elasticity of the semiconductor substrate (kg/cm^2); v is Poisson's ratio of said semiconductor substrate; and a is the effective radius (cm) of a contact portion produced upon bringing the semiconductor substrate, the wall and the projections of an arrangement interval L into contact by pressing under a pressure P(kg/cm^2)), and this is desirable in practice.

[0035] The fixing means having means to evacuate a gap between the back surface of the semiconductor substrate and the fixing table to cause the semiconductor substrate to be attracted onto said fixing means can be provided on the fixing table.

[0036] By constructing a projecting exposure apparatus by use of a fixing table having the aforementioned wall and projections, a very excellent projection exposure apparatus is obtained. More specifically, the projecting exposure apparatus comprises an optical system for projection-exposing the pattern of an original mask onto a photo-resist

film formed on a semiconductor substrate, a fixing table for fixing said semiconductor device onto the surface thereof, an X moving platform, a Y moving platform and a Z moving platform for causing movement of said fixing table in the X-axis direction, the Y-axis direction and the Z-axis direction; wherein a strip-shaped wall formed along an edge of the upper surface of said fixing table and a plurality of projections higher in height than said wall, surrounded by said wall are formed on the upper surface of said fixing table.

[0037]

[Made for Carrying Out the Invention] The aforementioned semiconductor substrate can be fixed by any of the following methods: (1) causing compression-elastic deformation of the contact portion of the back surface of the substrate by the tips of the projections in contact with the back surface of the semiconductor substrate, and covering the tips near the contact portion between the substrate back surface and the tips so that the tips penetrate into the back surface of the semiconductor substrate; (2) fixing the semiconductor substrate by causing deformation of the back surface of the semiconductor substrate at the tips of the projections so that the tips of the projections penetrate into the back surface of the semiconductor substrate by a depth of 0.1 to 0.5 μm from the contact position of the wall and the back

surface of the semiconductor substrate; (3) evacuating the surroundings of the plurality of projections to adsorb the back surface of the semiconductor substrate to cause contact and fix it; (4) causing compression-elastic deformation and fixing of the contact portion of the back surface of the semiconductor substrate at the tips of the projections in contact with the back surface of the semiconductor substrate; measuring the flatness of the surface of the semiconductor substrate and comparing the result with prescribed flatness data; and controlling and fixing the shape of the semiconductor substrate surface so that the flatness of the semiconductor substrate surface is within the range of the prescribed flatness; (5) fixing the semiconductor substrate by causing compression-elastic deformation of the contact portion of the back surface of the semiconductor substrate; measuring the flatness of the semiconductor substrate surface and comparing the result with prescribed flatness data; increasing or reducing the height of the projections on the basis of the result of comparison; and fixing the substrate by controlling the height of the projections so that the surface shape of the semiconductor substrate is within a range of a prescribed shape; (6) causing deformation of the fixing table having a plurality of projections and fixing the substrate by correcting the flatness of the semiconductor substrate

within a range of $\pm 2 \mu\text{m}$; and (7) deforming the fixing table having a plurality of projections, and fixing it so that the distance between the semiconductor substrate surface and working means performing a prescribed working of the substrate surface is within a range of $\pm 2 \mu\text{m}$.

[0038] Any of the following working processes is applicable: (1) forming various patterns necessary for the manufacture of a semiconductor device on a photosensitive agent film formed on the surface of the semiconductor substrate by the exposing method; (2) depositing a desired material onto the surface of the semiconductor substrate; (3) forming desired patterns on the surface of the semiconductor substrate by etching; (4) flattening at least partially the patterns formed on the surface of the semiconductor substrate; (5) flattening the surface of the semiconductor substrate by chemical mechanical polishing; (5) flattening the semiconductor substrate surface by chemical mechanical polishing using a grindstone; (6) causing a fluid to present on the back surface of the semiconductor substrate surface and accomplishing flattening by controlling the pressure of this fluid exerting on the back of the substrate in response to the position of the back surface of the semiconductor substrate; and (7) increasing the tack-pressure acting on the back surface of the semiconductor substrate; curving the substrate; and

flattening the surface by controlling the displacement in this state.

[0039] The entire area of the semiconductor substrate except for the already tapered outer periphery is kept at a flatness under 0.1 μm per 10 mm in the circumferential direction. A variation of the amount of working produced in the circumferential direction is effectively prevented upon chemically polishing while causing mutual rotation of the polishing member and the semiconductor substrate. Since the curvature of a spherical surface on a concentric circle of the semiconductor substrate surface is controllable, the dispersion of the amount of working in a concentric shape produced in the radial direction can be removed.

[0040] As a result, it becomes possible to control from time to time the working rate of the semiconductor substrate and the polishing member upon chemical polishing. It is therefore possible to accomplish flattening by polishing only convexities of various patterns formed on the surface of the semiconductor substrate without causing flaws or working unevenness on the surface of the semiconductor substrate, thus permitting manufacture of a high-performance semiconductor device.

[0041] In the present invention, a material for the fixing table can be appropriately selected, for example, from aluminum, stainless steel and ceramics. An inclination of

the tip of the projection is appropriately selected within a range from 30° to 60° , a distance between two neighboring projections, from 1 to 3 mm, and a width of the wall, from a range from 0.1 to 1.5 mm.

[0042]

[Embodiments] <Embodiment 1> Fig. 1 illustrates a first example of the present invention: Fig. 1(a) shows an outline of plan view of the fixing table of the semiconductor substrate; and Fig. 1(b), an outline of the side section. As is clear from Fig. 1, in the fixing table 1 of this example, a plurality of projections 3 and a suction pole 4 are provided within an area surrounded by a wall 2, and the wall 2 is composed of a groove 5 and a suction hole 6. In Fig. 1(b), reference numeral 2a represents an effective diameter of a tip of projection 3, L, an arrangement pitch, and 2a, a tip width of the wall; and the wall 2 has a structure having a height smaller than the projections 3 by Δh .

[0043] A schematic partially enlarged sectional view of the contact state of the plurality of projections of the fixing table 1 and the semiconductor substrate 10 in this example is illustrated in Fig. 30. As is clear from Fig. 30, the leading end of the wall (not shown) of the fixing table 1 comes into contact with the back surface of the semiconductor substrate 10 at the position of the summit

line 361 of the roughness curve 360 of the back surface of the semiconductor substrate 10, and the tips 365 of the projections 364 come into contact with the back surface of the semiconductor substrate 10 at a position closer to the trough line 362 from the summit line 361 of the roughness curve 360 of the back surface of the semiconductor substrate 10. In a state in which the tips 365 of the projections 364 penetrate into the back surface of the semiconductor substrate 10, i.e., in a state in which they penetrate deeper than the summit line 361 of the roughness curve of the back surface of the semiconductor substrate 10, the semiconductor substrate 10 is fixed, and a semiconductor device is manufactured by treating the surface not shown of the semiconductor substrate 10.

[0044] A typical result of measurement of properties of the fixing table of this example shown in Fig. 1 is illustrated in Fig. 2. The arrangement pitch L of the projection 3 is represented on the abscissa, and the amount of penetration resulting from elastic deformation of the semiconductor substrate, on the ordinate. The effective radius a of the tip of projection was varied as a parameter. The semiconductor substrate was sucked under a gage pressure of 0.6 kg/cm^2 . At an observing point 390, for example, penetration was $0.3 \text{ }\mu\text{m}$.

[0045] Fig. 3 illustrates a typical result of measurement

of the properties of the fixing table of the present invention under conditions including a contact radius of 75 μm , an arrangement pitch of 0.2 cm, $E_0 = 2.1 \times 10^6$ (kg/cm²), and $v_0 = 0.33$, representing the result of determination of alignment error of the pattern in a reducing projection exposure apparatus. The abscissa represents the amount of penetration of the projections into the semiconductor substrate, and the ordinate, the ratio of alignment error. This result permitted confirmation that, by causing penetration of the tips of projections into the back surface of the semiconductor substrate for more than 0.1 μm , it is possible to improve the alignment accuracy through prevention of transverse shift of the semiconductor substrate caused by accumulation of exposure-irradiation energy. The upper limit of the amount of penetration into the back surface of the semiconductor substrate depends upon the effect of the amount of penetration on the back surface of the semiconductor substrate or upon the range within which no plastic deformation of the back surface of the semiconductor substrate is caused: it was confirmed that an amount of penetration of 0.1 to 0.5 μm is optimum for the maintenance of the semiconductor substrate back surface.

[0046] Fig. 4 illustrates a typical property diagram for regulating the shape of the fixing table of the present invention. Upon using a fixing table having a plurality of

projections, evacuating the surroundings of the projections to cause the semiconductor substrate to come into contact with the projections, and thus sucking and fixing the semiconductor substrate, with parameters including the longitudinal modulus of elasticity E (kg/cm^2) of the semiconductor substrate, Poisson's ratio ν , the arrangement interval L (cm) of the projections, and the effective radius a (cm) of the contact portion where the projections and the semiconductor substrate are in contact under the pressure P (kg/cm^2), by adopting a value of first shape index l defined by a relation: $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ within a range from 0.0000013 to 0.000007 (cm), an optimum amount of concavities of the semiconductor substrate is obtained.

[0047] In other words, it was confirmed that, on the assumption of the longitudinal modulus of elasticity E (kg/cm^2) of the semiconductor substrate, Poisson's ratio ν , the arrangement interval L (cm) of the projections, and the effective radius a (cm) of the contact portion where the projections and the semiconductor substrate are in contact under the pressure P (kg/cm^2), a fixing table having a value of shape index l determinable from $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ within a range from 0.0000013 to 0.000007 (cm) can prevent a transverse shift of the semiconductor substrate and does not affect the surface shape of the semiconductor substrate. The observing point 390 in Fig. 4

is based on the same condition as the observing point shown in Fig. 2.

[0048] A typical result of measurement of another property of the fixing table of the present invention is illustrated in Fig. 5. The abscissa represents the arrangement pitch L of the projections, and the ordinate, the relative difference in surface height of the semiconductor substrate supported by the wall and the projections. The effective radius a of the projection at its tip and the wall width $2a$ were varied as parameters, and the semiconductor substrate was attracted under a gage pressure of 0.6 kg/cm^2 . In Fig. 5, the observing point 391 represents an offset amount upon fixing a semiconductor substrate of $E = 7.31 \times 10^5 (\text{kg/cm}^2)$ and $\nu = 0.17$ on a fixing table having a contact radius of $75 \mu\text{m}$, an arrangement pitch of 0.2 cm , $E_0 = 2.1 \times 10^6 (\text{kg/cm}^2)$, and $\nu_0 = 0.33$.

[0049] Another example of property diagram regulating the shape of the fixing table of the present invention is illustrated in Fig. 6. This is a second shape characteristic view showing the method for determining the amount of steps, i.e., the offset amount, in a case where the height of the wall is set at a value smaller than the height of the projections in advance for the purpose of eliminating the relative difference in height of the semiconductor substrate surface caused by the difference in

contact area between the wall and the projections. It was confirmed that, when sucking and fixing a semiconductor substrate, by using a fixing table having a plurality of projections, by bringing the semiconductor substrate into contact with the projections through evacuation of the surroundings of the projections, if the longitudinal modulus of elasticity of projections and wall is E_0 (kg/cm²), Poisson's ratio is ν_0 , the longitudinal modulus of elasticity of the semiconductor substrate is E (kg/cm²), Poisson's ratio is ν , the width of the wall is $2a$ (cm), the arrangement interval is L (cm), and the effective radius of the contact portion produced by pressure-contact of the semiconductor substrate with the projections under a pressure P (kg/cm²) is a (cm), it suffices to select a height of the wall smaller than the height of the projections by Δh as defined by the relationship: the offset amount $\Delta h = 73917 \times L \times L \times P \times ((1 - \nu_0 \times \nu_0)/E_0 + (1 - \nu \times \nu)/E)/a - 0.0063$.

[0050] The arrow in Fig. 6 represents a typical designing method and shows that, under conditions including $E_0 = 2.1 \times 10^6$ (kg/cm²), $\nu_0 = 0.33$, $E = 7.31 \times 10^5$ (kg/cm²), $\nu = 0.17$, $L = 0.2$ (cm), $P = 1$ (kg/cm²), and $2a = 0.015$ (cm), it suffices to set a height offset amount relative to the tips of the projections equal to $\Delta h = 0.4$ (μm). This agreed with the observing point 391, the condition shown in Fig. 5. As

described above, by suction-fixing the semiconductor substrate on an adsorption-fixing table in which the position of the contact portion of the wall is lower in height than the position of the contact portion of the projections by Δh , deterioration of flatness could be prevented over the entire area of the surface of the semiconductor substrate supported by the wall and the projections.

[0051] When using a material other than that in this example, or the structural size is different, an offset amount Δh can be determined by calculating a shape index 2 on the basis of the material and the size, and determining a point in agreement on the characteristic curve shown in Fig. 6.

[0052] It is possible to design a structure of an offset amount of a value within a range of a prescribed allowable range, by taking into account a working error in design or a safety factor apart from a value determined from the characteristic diagrams of Fig. 4 or Fig. 6 shown in this example, and it is evident that such a design is included within the scope of the present invention.

[0053] <Embodiment 2> Fig. 7 illustrates a schematic sectional structure of the second embodiment of the present invention. A fixing table 1 is installed on a Z moving table 11. A semiconductor substrate 10 is placed on the

fixing table 1. When the area in which a plurality of projections are formed and the area of the groove 5 of the wall are evacuated by evacuating means not shown from suction holes 4 and 6 via pipes 12 and 13 into a vacuum, the semiconductor substrate 10 is fixed in a state in which the tips of the projections 3 penetrate into the back surface of the semiconductor substrate by a prescribed amount. Since the height of the leading end of the wall 2 having a different amount of penetration is lower than the projections by the amount of offset, the semiconductor substrate can be flatly sucked and fixed over the entire area of the semiconductor substrate except for the already tapered outer peripheral end 15.

[0054] The manufacturing method of a semiconductor device using the moving table shown in Fig. 7 will now be described with reference to Fig. 31. The projecting exposure apparatus of this example mainly comprises a reduction projecting lens 300, a light source 302, a condenser lens 303, an original image mask 304, an X-moving table 305, a Y-moving table 306, a Z-moving table 11, and a fixing table 1. Various patterns of a semiconductor device are manufactured by projecting and forming latent images of patterns of the original image mask onto a photosensitive agent coated on the surface of the semiconductor substrate 10 on the fixing table. Fig. 31 illustrates only the semiconductor substrate

10 and the fixing table 1.

[0055] In this manufacturing method, a pattern is exposed via a reticle onto the surface of the semiconductor substrate. The projections penetrating into the semiconductor substrate 10 permitted prevention of occurrence of an alignment error caused by thermal expansion resulting from accumulation of exposure-irradiation energy, thereby making it possible to manufacture of a high-performance semiconductor device. In this example, penetration of the projections into the back surface of the semiconductor substrate was confirmed to provide a function of preventing a transverse shift of the semiconductor substrate caused by thermal expansion as well as improvement of a function of dissipating the heat accumulated in the semiconductor substrate to the fixing table, leading to improvement of the alignment accuracy through synergetic effect of these advantages.

[0056] <Embodiment 3> The third embodiment of the present invention will now be described with reference to Fig. 8. As is clear from Fig. 8, in this Example, an attachment table 20 having a support for spherical guidance and a fixing table are provided. A semiconductor substrate 10 fixed to the fixing table 1 is brought closer to polishing means 22, and the surface of the semiconductor substrate 10 is flattened through chemical polishing by a prescribed

amount.

[0057] Through evacuating means (not shown) connected to piping connected to the suction hole of the fixing table 1, the area having a plurality of projections provided in the fixing table 1 and the area of groove of the wall are evacuated to vacuum, thus fixing the semiconductor substrate 10 by causing the tips of the plurality of projections to penetrate into the back surface of the semiconductor substrate 10. The semiconductor substrate 10 rotates around the axis 24 under the action of rotating means (not shown), and the amount of load in the axial 24 direction is controlled by loading means (not shown). Polishing means 22 is installed on a rotating table 23, and revolves around an axis 25. A prescribed working liquid is fed by feeding means (not shown). The polishing means 22 and the surface thereof are covered with the working liquid by water retaining means 26 and are wetted. The interface at which the semiconductor substrate 10 and the polishing means 22 come into contact with each other and the gap is filled with the working liquid.

[0058] In the configuration of this Example, the rotational center of the spherical seat of the attachment table 20 is positioned on the surface of the semiconductor substrate 10. The surface of the semiconductor substrate 10 is therefore free from the effect of moment caused by the contact between

the semiconductor substrate 10 and the polishing means 22 under the posture control so as to follow the polishing means 22.

[0059] <Embodiment 4> The Example 4 of the present invention covers a case where the surface of a vertically supported semiconductor substrate is treated, and will be described here with reference to Figs. 9 and 10.

[0060] As shown in Fig. 9, a fixing table 1 is installed on an attachment table 30 rotatable at a high accuracy. The semiconductor substrate 10 is fixed on the fixing table 10 by being sucked by evacuating means (not shown) via evacuating holes 31 and 32, and rotated at a high accuracy around a shaft 33.

[0061] Polishing means 34 such as a grindstone arranged on an attachment table 35 rotatable similarly at a high accuracy is moved at a high accuracy in the shaft 36 direction while causing it to rotate around a shaft 36 at a high speed and at a high accuracy, closer to the surface of the semiconductor substrate 10, and the surface of the semiconductor substrate 10 is worked by shaking it in the radial direction. Upon this working, a prescribed working liquid is fed by feeding means (not shown), and the polishing means 34 and the surface in the proximity are wetted by the working liquid. The interface between the semiconductor substrate 10 and the polishing means 34 and

the gap are filled with the working liquid, thus ensuring satisfactory polishing.

[0062] The cleaning process of the fixing table surface and the dressing process of the polishing means applied prior to polishing of the semiconductor substrate as described above will now be described with reference to Fig. 10. As shown in Fig. 10, in order to remove or prevent deposition or accumulation of foreign matters on the leading ends of the projections and the wall of the fixing table 1, flattening means 38 comprising a flat piece of marble is brought into contact, with a light load, with the leading ends of the projections and the wall of the fixing table 1 rotating around the shaft 33, and moved in the direction of diameter. The flattening means 38 is capable of slightly moving in the shaft 33 direction by an amount of offset which is the difference in height between the wall and the projections. While the cleaning process of the fixing table 1 can be accomplished while spraying the cleaning liquid or pure water, a dust cleaning effect was observed only by very lightly rubbing in a dry state in a usual case.

[0063] On the other hand, dressing of the polishing means 34 is accomplished by rotating the polishing means 34 around the shaft 36 at a high speed and a high accuracy in advance; sequentially moving a cemented carbide jig 37 such as diamond or carbide steel tool or a high-speed-rotating end

mill in the direction of diameter at a prescribed notch depth to achieve a prescribed flatness, and roughing the feed amount in the diameter direction at a prescribed notch depth by use of the same cemented carbide jig, to spirally form fine grooves smaller than several hundred μm on the surface of the flat-worked surface of the polishing means. A very remarkable advantage was confirmed of these fine grooves of reducing, upon working the semiconductor substrate, floating caused by dynamic pressure of the working liquid present in the gap between the semiconductor substrate and the polishing means or other unstable factors resulting in working speed unevenness such as adsorption to the grindstone surface and of promoting discharge of working residues, thus preventing occurrence of scratches and other flaws or defects. Particularly, grooves having a depth of 2 μm to 100 μm and a width of 10 μm to 200 μm were optimum for keeping the highest working efficiency.

[0064] <Embodiment 5> .The fifth embodiment of the present invention covers a case where the surface of a vertically held semiconductor substrate is treated, and will be described with reference to Figs. 11 and 12.

[0065] As shown in Fig. 11, the semiconductor substrate 10 is sucked and fixed by evacuating means (not shown) via evacuating holes 31 and 32 onto a fixing table 1 installed on an attachment table 30 rotatable at a high accuracy, and

rotated around the shaft 33 at a high accuracy. A diamond tool or high-speed-rotating end mill or other cemented carbide jig 40 is sequentially moved in the diameter direction with a prescribed notch depth to polish the surface of the semiconductor substrate 10 by a prescribed amount for flat working. By feeding a polishing liquid of an appropriate pH (pH index) upon this working, it is possible to accomplish a chemical-mechanical polishing (CMP) by chemically forming a hydrated layer on the surface of the semiconductor substrate 10.

[0066] A process for cleaning the surface of the fixing table 1 is carried out prior to working of the semiconductor substrate 10. This cleaning process will now be described with reference to Fig. 12. For the purpose of preventing or removing deposition or accumulation of foreign matters on the leading ends of the projections and the wall of the fixing table 1, for example, flattening means 38 comprising a flat piece of marble is moved in the diameter direction while bringing it into contact under a light load with the leading ends of the projections or the wall of the outer periphery of the fixing table 1 rotating around the shaft 33.

[0067] <Embodiment 6> The sixth embodiment of the present invention will be described with reference to Fig. 13. As in the aforementioned Example 3 shown in Fig. 8, after sucking and fixing a semiconductor substrate 10 onto the

fixing table 1 installed on an attachment table 20 having a spherical seat, the semiconductor substrate 10 is sucked and fixed by means of the grooves 5 of the wall 2 of the outer periphery via the piping line 51. In this state, evacuation via the piping line 52 of the area having the installed projections was discontinued, and in contrast, a pressurized liquid was fed to cause deformation of the surface of the semiconductor substrate 10 into a downwardly convex shape, and a polishing treatment was conducted by controlling the gap containing the working liquid 53 between the semiconductor substrate 10 and the polishing means 50 within a range smaller than 2 μm .

[0068] <Embodiment 7> The seventh embodiment of the present invention will now be described with reference to Figs. 14 and 15. A fixing table 1 is arranged on an attachment table 20 having a spherical seat via a plurality of independently expandable electrostrictive members 70. A semiconductor substrate 10 is sucked and fixed onto the fixing table 10 by evacuating via piping lines 51 and 52.

[0069] Fig. 14 illustrates a state in which no voltage is impressed onto the plurality of electrostrictive members 70. Fig. 15 covers a case where from among the aforementioned plurality of electrostrictive members 70, the voltage is controlled so that the electrostrictive members 70 arranged in central portion have larger amounts of elongation. The

working efficiency can be improved by controlling the expansion/contraction amount of the plurality of electrostrictive members 70 so as to control the gap containing the working liquid 53 between the semiconductor substrate 10 and the polishing means 50 within 2 μm . Unstabilizing factors of the working speed such as a pressure increase or sucking action caused by the dynamic pressure upon working of semiconductor substrate 10, of the working liquid contained in the gap between the semiconductor substrate and the polishing means 50 are reduced, thus stabilizing the working speed, and promoting discharge of working residues. It was thus confirmed that occurrence of flaws such as scratches and other defects was largely prevented.

[0070] The amount of control of elongation of the electrostrictive members may be increased as required. Control of the gap between the semiconductor substrate 10 and the polishing means brings about a more remarkable effect for achieving a uniform working speed as compared with the control of flatness. Prior to bringing the semiconductor substrate 10 closer to the polishing means 50, working can be carried out with a shorter distance between the semiconductor substrate 10 and the polishing means 50 by monitoring the flatness of the surface of the semiconductor substrate 10 with an interference flatness meter using a

laser beam and controlling the entire area of the surface of the semiconductor substrate 10 except for the already tapered outer periphery and to a flatness within 0.1 μm per 10 mm in the circumferential direction. This permits prior correction of minor surface irregularities in the circumferential direction smaller than 1 μm intrinsic to the semiconductor substrate 10. Thus, only convexities of various patterns of the semiconductor device formed on the surface of the semiconductor substrate 10 could be polished by means of a hard grindstone without being affected by minor irregularities in the circumferential direction smaller than 1 μm intrinsic to the semiconductor substrate 10.

[0071] Even when surface irregularities of a concentric shape remained in the radial direction, as shown in Figs. 13, 15 and 17, the influence of surface irregularities in the concentric circular shape in the radial direction could be prevented from appearing as working unevenness by keeping the entire semiconductor substrate 10 in a substantially convex spherical surface shape having a center portion of about 2 μm , controlling the posture thereof by changing the inclination angle of the axis following a precession, and thus carrying out polishing.

[0072] <Embodiment 8> The eighth embodiment will now be described with reference to Figs. 16 and 17. A

semiconductor substrate 10 is sucked and fixed via piping lines 51 and 52 onto a fixing table 1 installed on an attachment table 20 having a spherical surface seat by means of outer periphery fixing means 80 and sealing means 81. A pressurized gas can be introduced and discharged via a piping line 83 provided on the back of the fixing table 1. The pressurized gas can be controlled independently of an exhaust system passing through the piping lines 51 and 52 by sealing means 84 and 85.

[0073] Fig. 16 illustrates a state in which the pressurized gas is not fed to the back of the fixing table; and Fig. 17 illustrates a case where the pressurized gas is fed to the back of the fixing table 1. In this example as well, as in the aforementioned seventh embodiment, a preferable result was obtained by controlling the pressurized gas to the back of the fixing table 1, and keeping the gas containing the working liquid 53 between the semiconductor substrate 10 and the polishing means 50 within 2 μm .

[0074] <Embodiment 9> The ninth embodiment of the present invention will now be described with reference to Figs. 18, 19 and 20. As shown in Fig. 18, a fixing table is rotatable around an axis perpendicular to the paper by means of an arcuate member 101 provided on an attachment table 100, rotation guiding means of arcuate members 102 and 103 and restraining means of winding members 104 and 105 such as

steel belts. Further, it is rotatable around an axis perpendicular to the paper of Fig. 19 by means of an arcuate member 111, rotation guiding means of arcuate members 112 and 113, and restraining means of winding members 114 and 115 such as steel belts. The fixing table can revolve along a spherical surface around the interface between the semiconductor substrate 10 and the polishing means 50.

[0075] Fig. 20 illustrates the principle of the rotation guiding means and the restraining means, and shows a case where the arcuate members 101 and 102 are operated by means of the winding member 104. Smaller-diameter cylinders 125 and 126 have shafts 127 and 128 common with the arcuate members 101 and 102, respectively. The shafts 127 and 128 are in parallel with each other by arcuate members (not shown) having the same structure provided in a pair. The winding members 114 of the cylinders 121 and 122 are wound crosswise so as to form substantially an S shape. Although not shown, these winding members are also provided in a pair and are fixed so as to be stretched in tension. An attracting force represented by the arrow 124 is therefore produced between the shafts 127 and 128. As a result, the arcuate members 101 and 102 come into contact with each other at a contact portion 123, and can rotate smoothly without mutual slippage. The shaft 127 is fixed to the attachment table 100 via the arcuate member 101. The shaft

128 of the arcuate member 102 is fixed to the arcuate member 111 serving as a second attachment member via a well-known revolving bearing. The shaft of the arcuate member 103 as well is fixed to the arcuate member 111. The shafts of the arcuate members 112 and 113 are also fixed to a revolving shaft 107 of the fixing table 1 similarly via a well-known revolving bearing, and can rotate around the shaft 106. Motion of the fixing table during working can be stabilized by setting the center position of the space of arch of the arcuate members 101 and 111 at the interface position between the semiconductor substrate 10 and the polishing member 50.

[0076] In the configuration of this Example, it is possible to smoothly achieve a precession of the surface of the semiconductor substrate 10 while maintaining a high bound rigidity in the shaft 106 direction without the need to carry out a delicate control of the gap or the sliding resistance, thus providing an advantage of permitting high-accuracy chemical polishing treatment.

[0077] <Embodiment 10> Figs. 21 and 22 illustrate the tenth embodiment of the present invention, and covers a typical simple structure capable of smoothly achieving precession of the surface of a semiconductor substrate. Arcuate members 121 and 122 provided on an attachment table 120 can rotate around a shaft 124 by a rotation guiding

means and restraining means of winding member 123 such as a steel belt, and further, arcuate members 131 and 132 can rotate around a shaft 134 by rotation guiding means and restraining means of the winding member 133 such as a steel belt. This permits free revolution of the semiconductor substrate 10 in an arbitrary direction.

[0078] The restraining means 123 and 133 in this embodiment have a structure in which winding members in an odd number are wound in directions of mutual crossing with a pair of arcuate members in between. It is therefore possible to prevent occurrence of a moment which impairs parallelism of shafts in parallel with each other of the arcuate members upon applying a tension to the winding member, thereby permitting easy assembly adjustment. Further, in the case of this Example, rotation around a single shaft is made possible by a pair of arcuate members as in the arcuate members 121 and 122. The arcuate members can therefore be installed on a revolving shaft 127 around the attachment tables 120 and 130 and the shaft 126. As a result, the structure can be made simpler, leading to a lighter weight, improving the response of the precession property upon working, thus permitting high-accuracy chemical polishing.

[0079] <Embodiment 11> This embodiment covers a case where the present invention is applied to a well-known manufacturing method or working of, for example, a DRAM

(Dynamic Random Access Memory) described in the monthly Semiconductor World, extra number "'94 Latest Semiconductor Process Technologies", pp. 23-31.

[0080] Fig. 23 is a process diagram illustrating the manufacturing method of a semiconductor device of this embodiment. As is well known, a semiconductor device such as a DRAM is usually manufactured by repeating such processes as formation of steps on a semiconductor substrate, formation of a well, isolation, formation of transistor, formation of bit lines, formation of capacitors, and formation of wiring lines. These processes are composed by appropriately combining exposure treatment, etching, heat treatment (oxidation, annealing, diffusion), ion injection, thin-film forming treatment (CVD, sputtering, vapor deposition, etc.), cleaning (resist removal, cleaning by a solution) and inspections.

[0081] Fig. 23 illustrates examples of bit line formation and capacitor formation from among known DRAM manufacturing processes. It particularly shows an outline of a sectional structure in a process in which the element structure varies. The right-hand views show sectional structures of the memory cell, and left-hand views show sectional structures of peripheral CMOS portion.

[0082] Main treatments are the following 25 processes:
treatment 1: deposition of SiO_2 film; treatment 2: exposure;

treatment 3: etching (Fig. 23a); treatment 4: SiO_2 film deposition; treatment 5: polycide film deposition; treatment 6: exposure (bit line); treatment 7: etching (Fig. 23b); treatment 8: SiO_2 film deposition; treatment 9: Si_3N_4 film deposition; treatment 10: SiO_2 film deposition (Fig. 23c); treatment 11: exposure; treatment 12: etching; treatment 13: formation of poly-Si (accumulation electrode) film; treatment 14: SiO_2 deposition; treatment 15: etching (Fig. 23d); treatment 16: poly-Si (accumulation electrode) film formation (Fig. 23e); treatment 17: SiO_2 film deposition; treatment 18: etching; treatment 19: etching of poly-Si film; treatment 20: etching of SiO_2 film; treatment 21: etching of SiO_3N_4 film; treatment 22: forming of Ta_2O_5 film (capacitor insulating film); treatment 23: formation of W (poly-Si) film (Fig. 23g); treatment 24: exposure (plate); and treatment 25: etching.

[0083] Prior to the aforementioned deposition of SiO_2 film, deposition of poly-Si film, deposition of Si_3N_4 film, etching of poly-Si film, etching of SiO_2 film, etching of Si_3N_4 film, formation of Ta_2O_5 film and formation of W film, a chemical-mechanical polishing treatment was performed by use of the fixing table of the present invention to flatten the stepped patterns to a flatness smaller than the focal depth of the exposure unit, and then, an exposure treatment was carried out without an alignment error by means of an exposure unit

using the fixing table of the present invention. A high-performance and high-reliability semiconductor device could thus easily be formed.

[0084] In Fig. 23, reference numeral 201 represents a semiconductor substrate; 202, a resist; 203, an SiO_2 film (passivation film); 204, an Si_3N_4 film; 205, an n^+ layer; 206, a p^+ layer; 207, a poly-Si (polycide) film; 208, an SiO_2 film; 209, an Si_3N_4 film; 210, an SiO_2 film; 211, a poly-Si film; 212, an SiO_2 film; 213 and 214, poly-Si films; 215, a Ta_2O_5 film; and 216, a W (poly-Si) film.

[0085] <Embodiment 12> Fig. 24 is a bird's eye schematic sectional view illustrating the manufacturing method of a semiconductor device of the twelfth embodiment of the present invention. As shown in Fig. 24(a), an interlayer insulating film 221 comprising SiO_2 or the like having a thickness corresponding to wiring layer on a semiconductor substrate (not shown) having a surface flattening-treated by a chemical-mechanical polishing treatment using the present invention.

[0086] As shown in Fig. 24(b), for the purpose of ensuring a sufficient etching accuracy upon forming wiring grooves, an etching stop layer 220 comprising Si_3N_4 was formed. After forming a resist film 222 by a known coating method, the semiconductor substrate was placed on the fixing table of the present invention, and a wiring groove pattern was

exposure-transferred onto the resist film 222. After depositing the resist film 222, the thus formed resist was used as a mask for etching, and as shown in Fig. 24(c), a wiring forming area 223 was formed.

[0087] After forming a resist film 224 again on the semiconductor substrate, a connecting hole pattern was exposure-transferred on the semiconductor substrate placed on the fixing table. The resist film 224 was developed. With the formed resist pattern as a mask, etching was performed, and as shown in Fig. 24(d), a connecting hole 225 was formed.

[0088] After removing the resist pattern, a metal such as W or Cu is filled into the connecting hole 225. By applying the chemical-mechanical polishing treatment of the present invention to the semiconductor substrate surface to accomplish flattening thereof. Thus, as shown in Fig. 24(e), a wiring line 226 and a wiring plug 227 for connecting this wiring line 226 and wiring line of the lower layer (not shown) were formed.

[0089] By applying and repeating the above-mentioned processes as required, various semiconductor devices having fine multi-layer wiring layers could be easily manufactured at a high accuracy.

[0090] <Embodiment 13> The thirteenth embodiment of the present invention covers a case of a manufacturing method of

a semiconductor device using an organic SOG film, one of the low-dielectric-constant insulating films for minimizing the inter-wiring capacity. This will be described with reference to Fig. 25.

[0091] As shown in Fig. 25(a), after forming a metal wiring line 230 such as Al on the semiconductor substrate, an SiO₂ film 231 was formed as a substrate cover film, and further, as shown in Fig. 25(b), an organic SOG film 232 was formed by a known coating method.

[0092] After forming a flat surface 233 as shown in Fig. 25(c) through a chemical-mechanical polishing treatment of the present invention applied to this semiconductor substrate surface, an oxide film 234 serving as a cap was formed, as shown in Fig. 25(d) to impart the oxygen plasma resistance.

[0093] After forming a resist film 235 as shown in Fig. 25(e), the semiconductor substrate was placed on the fixing table of the present invention, and a connecting hole pattern was exposure-transferred by a known lithographic technology. The resist film 235 was developed, and with the formed resist pattern as a mask, etching was applied to form a connecting hole 236, thus exposing the surface of the aforementioned metal wiring line 230.

[0094] A well-known low-pressure oxygen RIE treatment 237 was applied, and as shown in Fig. 25(f), an oxygen layer 238

having a thickness of 10 nm was formed on the surface of a viahole 239 which is a hole in the organic SOG layer. As shown in Fig. 25(g), the resist film 235 was removed. After filling the viahole 239 with a metal, furthermore, a flattening treatment was conducted through the chemical-mechanical polishing of the present invention. The organic SOG film 232, being covered by the oxide film 234 or an oxide layer 238, is resistant to an oxygen plasma treatment, and can serve as a stopper upon applying the flattening treatment through a chemical-mechanical polishing, thus improving the accuracy of the flattening working. As a result, a high-performance semiconductor device could easily be manufactured.

[0095] <Embodiment 14> The fourteenth embodiment of the present invention will now be described with reference to Fig. 26. As shown in Fig. 26(a), a semiconductor substrate 10 is sucked and fixed onto a fixing table 301 installed on an attachment table 330 rotatable at a high accuracy by evacuating means (not shown) via exhaust holes 331 and 332.

[0096] As shown in Fig. 26(b), a fluidized medium 350 was supplied to a gap where the projections or the wall of the fixing table 301 were not in contact with the back surface of the semiconductor substrate 10. The medium 350 filling the gap was solidified by cooling or heating to a prescribed temperature. After thus increasing the fixing force of the

back surface of the semiconductor substrate 10, it was rotated at a high accuracy around the shaft 333. Polishing means 334 such as a grindstone installed on the attachment table 335 rotatable at a high accuracy was moved at a high accuracy in the shaft 336 direction while rotating it around the shaft 336 at a high speed and at a high accuracy, bringing it closer to the surface of the semiconductor substrate 10. Simultaneously, it was swung in the radial direction, and as shown in Fig. 26(c), the surface of the semiconductor substrate was polished. Upon polishing, a prescribed working liquid was fed from feeding means (not shown). The polishing means 334 and its surface were wetted by the working liquid, and the contact interface between the semiconductor substrate 10 and the polishing means 334 and the gap was filled with the working liquid during polishing.

[0097] Applicable media for cooling for solidification include potassium stearate, sodium stearate, ammonium stearate, potassium octylate, sodium octylate, ammonium octylate, potassium laurylate, sodium laurylate, and ammonium laurylate, as described in Japanese Unexamined Patent Application Publication No. 9-7986. Deaerated water containing any of these surfactants in 20 to 60 vol.% is applicable. A side-chain crystallizable polymer or a main-chain crystallizable polymer as described in Japanese Unexamined Patent Application Publication No. 9-208924 is

applicable as a medium to be solidified by heating. It is also possible to use powder such as a magnetic particle by controlling the fluidity by magnetic field or controlling a medium of which the viscosity varies with electric field by electric field.

[0098] By using such a solidifiable liquid medium, solidification could be achieved by filling a space between the fixing table and the rugged surface of about several tens of nm on the back surface of the semiconductor substrate which could not be in sufficient contact with the projections of the fixing table, with this medium. As a result, slight deformation of the semiconductor substrate caused by the load from the surface thereof could be prevented, and it was possible to keep the entire surface area of the semiconductor substrate except for the already tapered outer peripheral end at a flatness within 0.1 μm per 10 mm in the circumferential direction, thus improving the treatment accuracy of the surface of the semiconductor substrate. After application of latent image forming and flattening, the semiconductor substrate could be separated from the fixing table and conveyed by fluidizing the medium through heating or cooling to a temperature other than the above-mentioned solidification temperature.

[0099] <Embodiment 15> The fifteenth embodiment of the present invention will now be described with reference to

Figs. 27 and 28. According to the study carried out by the present inventors, in the chemical polishing process using a relatively hard grindstone as a polishing member, it was revealed that even convexities and concavities smaller than several tens of nm of the semiconductor substrate to be treated had an effect on the working accuracy. Particularly, when the thickness unevenness of the semiconductor substrate is larger than several tens of nm, a decrease in the flatness corresponding to the thickness unevenness occurs on the surface of the semiconductor substrate even by flatly fixing the semiconductor substrate relative to the back surface of the semiconductor substrate. The flatness of the surface of the semiconductor substrate can be corrected in any of the foregoing Examples. If, however, the semiconductor substrate is perfectly flat from the initial stage of processes of forming various patterns of the substrate, this would bring about important advantages in the performance improvement and cost reduction of the manufacturing apparatus and the manufacturing processes. The present embodiment presents a case where the surface and the back of the semiconductor substrate were kept at a flatness smaller than several nm and were worked to a perfect flatness during the initial stage of processes of forming various patterns of the semiconductor device.

[0100] In Fig. 26, the same treatments as in the

aforementioned fourteenth embodiment were performed, and in Fig. 27, a semiconductor substrate 10 was sucked and fixed onto a fixing table 301 installed on an attachment table 330 rotatable at a high accuracy. A fluidized medium 350 was supplied to a gap where the projections or the wall of the fixing table 301 were not in contact with a first surface 367 of the semiconductor substrate 10. The medium 350 filling the gap was solidified by cooling or heating to a prescribed temperature. After thus increasing the fixing holding force of the first surface 367 of the semiconductor substrate 10, it was rotated at a high accuracy around the shaft 333.

[0101] Polishing means 334 such as a grindstone installed on the attachment table 335 rotatable at a high accuracy was moved at a high accuracy in the shaft 336 direction while rotating it around the shaft 336 at a high speed and at a high accuracy, bringing it closer to a second surface 368 of the semiconductor substrate 10. Simultaneously, it was swung in the radial direction, and the second surface of the semiconductor structure 10 was polished. A schematic enlarged sectional view of the portion immediately after working is illustrated in Fig. 28-a. As is clear from Fig. 28-a, the solidifiable fluidized medium 350 fills the space of gap between the rugged sectional curve 360 of the first surface 367 of the semiconductor substrate 10 and the fixing

table 301 including its projections 364, and holds the semiconductor substrate. The second surface 368 of the semiconductor substrate 10 was thus perfectly flatly worked.

[0102] After perfectly flatly working the second surface 368 of the semiconductor substrate 10, as shown in Fig. 27(a), the second fixing table 1 was moved closer to the second surface of the semiconductor substrate 10 while holding the semiconductor substrate 10 on the fixing table 301. The direction of the rotation shaft 33 of the fixing table 1 and the direction of the rotation shaft 333 of the fixing table 301 installed on the attachment table 30 rotatable at a high accuracy were brought into agreement by means of a posture control mechanism (not shown). The second surface of the semiconductor substrate 10 was caused to come into contact with the fixing table 1. After sucking and fixing the semiconductor substrate 10 by use of evacuating means (not shown) via exhaust holes 31 and 32, the medium 350 present between the fixing table 301 and the first surface of the semiconductor substrate 10 was fluidized to cancel the retaining force. As shown in Fig. 27(b), the attachment table 301 and the attachment table 30 were separated from each other, and the fixing table 301 was retreated.

[0103] Polishing means 34 such as a grindstone installed on the attachment table 35 rotatable at a high accuracy was

moved at a high accuracy in the shaft 36 direction while rotating it around the shaft 36 at a high speed and at a high accuracy, bringing it closer to the first surface 367 of the semiconductor substrate 10. Simultaneously, it was swung in the radial direction, and the first surface 367 of the semiconductor substrate 10 was polished. The schematic enlarged sectional view of the portion immediately after polishing, given in Fig. 28(b), reveals that the first surface 369 of the semiconductor substrate 10 was perfectly flatly polished.

[0104] As a result, both the first surface 369 and the second surface 368 of the semiconductor substrate 10 were perfectly flattened. This made it possible to accomplish various processes of the manufacture of semiconductor devices, without being affected by the deterioration of flatness associated with semiconductor substrates, at a high reproducibility, by placing a semiconductor substrate for a semiconductor device on the fixing table of the present invention, within a short period of time, while setting and keeping a flatness smaller than $0.1\text{ }\mu\text{m}$ per 10 mm, thus opening up the way to possibility to manufacture of a high-performance semiconductor device at a low cost.

[0105] <Embodiment 16> The sixteenth embodiment of the present invention covers a manufacturing method of a semiconductor device using a polishing tape 370 holding

grinding particles as means for polishing, and will be described with reference to Fig. 29. Fig. 29(a) is a side view, and Fig. 19(b) is a plan view.

[0106] As in the case shown in Fig. 26, a semiconductor substrate 10 was sucked and fixed onto a fixing table 301 installed on an attachment table 330 rotatable at a high accuracy by use of evacuating means (not shown) via exhaust holes 331 and 332. A fluidized medium 350 was supplied to a gap where the projections and the wall of the fixing table 301 were not in contact with the first surface of the semiconductor substrate 10. The medium 350 filling the gap was cooled to a prescribed temperature for solidification to increase the fixing holding force of the first surface 367 of the semiconductor substrate 10, which was rotatable around a shaft 333 at a high accuracy. The polishing tape 370 was sequentially delivered under an appropriate tension and at a prescribed speed by a delivery-winding mechanism (not shown) and wound up. A working load was applied onto the semiconductor substrate from the back of the polishing tape 370 by a rotating roller 371. Use of the polishing tape 370 permitted simplification of the dressing process of the polishing means, making it possible to manufacture a semiconductor device by uniform and stable chemical-mechanical polishing.

[0107]

[Advantages] According to the present invention, as described above, it is possible to flatten only convexities of various patterns of a semiconductor device without causing flaws or working unevenness on the surface of the semiconductor substrate, without working concavities of various circuit patterns of the semiconductor device, and to accomplish an exposure treatment at a high alignment accuracy, thus permitting easy manufacture of a high-performance semiconductor device.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 illustrates an embodiment 1 of the present invention.

[Fig. 2] Fig. 2 is a characteristic diagram for illustrating the embodiment 1 of the present invention.

[Fig. 3] Fig. 3 is a characteristic diagram for illustrating the embodiment 1 of the present invention.

[Fig. 4] Fig. 4 is a characteristic diagram for illustrating the embodiment 1 of the present invention.

[Fig. 5] Fig. 5 is a characteristic diagram for illustrating the embodiment 1 of the present invention.

[Fig. 6] Fig. 6 is a characteristic diagram for illustrating the embodiment 1 of the present invention.

[Fig. 7] Fig. 7 is a sectional view illustrating an embodiment 2 of the present invention.

[Fig. 8] Fig. 8 is a sectional view illustrating an

embodiment 3 of the present invention.

[Fig. 9] Fig. 9 is a view illustrating an embodiment 4 of the present invention.

[Fig. 10] Fig. 10 is another view illustrating the embodiment 4 of the present invention.

[Fig. 11] Fig. 11 is a view illustrating an embodiment 5 of the present invention.

[Fig. 12] Fig. 12 is another view illustrating the embodiment 5 of the present invention.

[Fig. 13] Fig. 13 is a sectional view illustrating an embodiment 6 of the present invention.

[Fig. 14] Fig. 14 is a sectional view illustrating an embodiment 7 of the present invention.

[Fig. 15] Fig. 15 is another sectional view illustrating the embodiment 7 of the present invention.

[Fig. 16] Fig. 16 is a sectional view illustrating an embodiment 8 of the present invention.

[Fig. 17] Fig. 17 is another sectional view illustrating the embodiment 8 of the present invention.

[Fig. 18] Fig. 18 is a view illustrating an embodiment 9 of the present invention.

[Fig. 19] Fig. 19 is another view illustrating the embodiment 9 of the present invention.

[Fig. 20] Fig. 20 is still another view illustrating the embodiment 9 of the present invention.

[Fig. 21] Fig. 21 is a view illustrating an embodiment 10 of the present invention.

[Fig. 22] Fig. 22 is another view illustrating the embodiment 10 of the present invention.

[Fig. 23] Fig. 23 is a process diagram for illustrating an embodiment 11 of the present invention.

[Fig. 24] Fig. 24 is a process diagram for illustrating an embodiment 12 of the present invention.

[Fig. 25] Fig. 25 is a process diagram for illustrating an embodiment 13 of the present invention.

[Fig. 26] Fig. 26 is a sectional view illustrating an embodiment 14 of the present invention.

[Fig. 27] Fig. 27 is a sectional view illustrating an embodiment 15 of the present invention.

[Fig. 28] Fig. 28 is another view illustrating the embodiment 15 of the present invention.

[Fig. 29] Fig. 29 is a view illustrating an embodiment 16 of the present invention.

[Fig. 30] Fig. 30 is a view for illustrating an embodiment 1 of the present invention.

[Fig. 31] Fig. 31 is a view for illustrating an embodiment 2 of the present invention.

[Reference Numerals]

1: fixing table, 2: wall, 3: projections, 4: suction hole, 5: grooves, 6: sucking hole, 10: semiconductor substrate,

11: Z moving table, 12, 13: piping, 14: areas, 15: tapered outer peripheral portion of semiconductor substrate, 20: attachment table, 22: polishing means, 23: rotating table, 24: shaft, 26: water retaining means, 30: attachment table, 31, 32: exhaust hole, 33: shaft, 34: polishing means, 35: attachment table, 36: shaft, 37: cemented carbide jig, 38: flattening means, 40: cemented carbide jig, 50: polishing means, 51, 52: piping, 53: working liquid, 70: electrostrictive member, 80: outer periphery fixing means, 81: sealing means, 83: piping, 84, 85: sealing means, 100: attachment table, 101, 102, 103: arcuate member, 104, 105: winding member, 106: shaft, 107: revolving shaft, 111, 112, 113: arcuate member, 114, 115: winding member, 120: attachment table, 121: cylinder, 121: arcuate member, 122: cylinder, 122: arcuate member, 123: contact section, 123: winding member, 124, 127, 128: shaft, 131, 132: arcuate member, 133: winding member, 134: shaft, 201: semiconductor substrate, 202: resist film, 203: SiO₂ film, 204: SiN₄ film, 205: n⁺ layer, 206: p⁺ layer, 207: poly-Si film, 208: SiO₂ film, 209: SiN₄ film, 210: SiO₂ film, 211: poly-Si film, 212: SiO₂ film, 213, 214: poly-Si film, 215: Ta₂O₅ film, 216: W film, 220: etching stop layer, 221: interlayer insulating film, 222: resist film, 223: wiring type area, 224: resist film, 225: connecting hole, 226: wiring, 227: siring plug, 230: metal wiring, 231: oxide film, 232: organic SOG film,

233: surface, 234: oxide film, 235: resist film, 236: connecting hole, 237: oxygen RIE treatment, 238: oxide layer, 239: viahole, 300: reduced projecting lens, 301: fixing table, 302: light source, 303: condenser lens, 304: original image mask, 305: X moving table, 306: Y moving table, 330: attachment table, 331, 332: exhaust hole, 333: shaft, 334: polishing means, 335: attachment table, 336: shaft, 350: medium, 360: roughness curve, 361: summit line, 362: trough line, 364: projections, 365: leading end, 367: first surface of semiconductor substrate, 368: second surface of semiconductor substrate, 369: first surface of semiconductor substrate, 370: polishing tape, 371: rotating roller, 390, 391: observing point.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-163103

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/68
21/027
21/304
27/108
21/8242

3 2 1

H 0 1 L 21/68 N
21/304 3 2 1 H
21/30 5 0 3 C
27/10 6 2 1 C

審査請求 未請求 請求項の数15 O L (全 22 頁)

(21)出願番号 特願平9-322544

(22)出願日 平成9年(1997)11月25日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233505

日立東京エレクトロニクス株式会社

東京都青梅市藤橋3丁目3番地の2

(72)発明者 河村 喜雄

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田宮 洋一郎

東京都青梅市藤橋3丁目3番地2 日立東

京エレクトロニクス株式会社内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

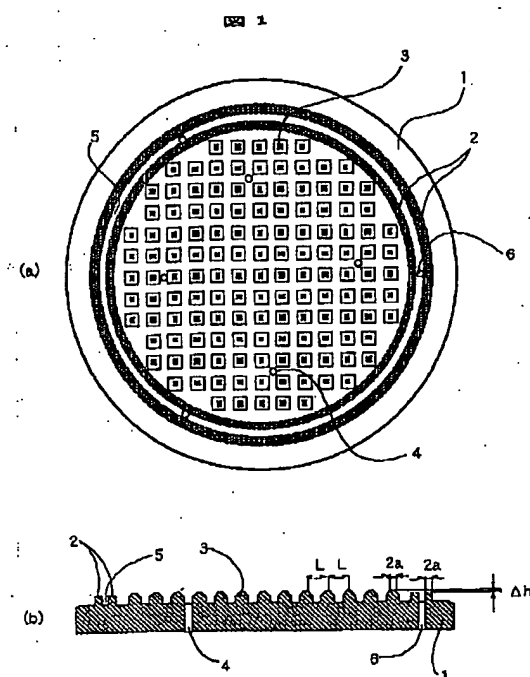
(54)【発明の名称】 半導体装置の製造方法および製造装置

(57)【要約】

【課題】横ずれを起こすことなしに光処理や平坦な加工処理などを行うことができる半導体装置の製造方法およびそれに用いる製造装置を提供する。

【解決手段】壁部(2)より高さが高い複数の突起部(3)を有する構造の固定台(1)上に、突起部(3)を半導体基板の裏面に食込ませて、半導体基板を固定し、露光や平坦化など各種処理を行って半導体装置を製造する。

【効果】半導体基板の表面に傷や加工むらを生じることがなく、半導体装置の各種パターンの凹部を研磨せずに、パターンの凸部のみを研磨して平坦化できる。



【特許請求の範囲】

【請求項1】壁部および当該壁部に包囲された当該壁部より高さが高い複数の突起部が表面に形成された固定台上に半導体基板を配置し、当該半導体基板の裏面が上記壁部に接触し、かつ、上記複数の突起部が上記半導体基板の裏面に所定深さだけ埋没するように、上記半導体基板を上記固定台上に保持して、上記半導体基板に所定の処理を行うことを特徴とする半導体装置の製造方法。

【請求項2】上記半導体基板のうち、面取り加工された外周端部分を除く表面全域が $0.3\mu\text{m}$ 以下の平坦度で 10 上記固定台上に保持されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】上記所定深さは $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下であることを特徴とする請求項1若しくは2に記載の半導体装置の製造方法。

【請求項4】上記所定の処理は、上記半導体基板上に形成されたレジスト膜に所定のパターンを露光法によって形成する処理であることを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】上記所定の処理は、上記半導体基板の表面 20 に形成された段差を研磨法によって平坦化する処理であることを特徴とする請求項1から3のいずれかに記載の複数の半導体装置の製造方法。

【請求項6】上記平坦化する処理は上記半導体基板の表面上に形成されたパターンの所望部分を研磨して除去することによって行われることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】上記半導体基板は、当該半導体基板の裏面の粗さ曲線の山頂線位置において上記壁部と接触し、上記半導体基板の裏面の粗さ曲線の山頂線より谷底に寄 30 った位置において上記突起部の先端部と接触するように固定されることを特徴とする請求項1から6のいずれかに記載の半導体装置の製造方法。

【請求項8】上記半導体基板は、当該半導体基板の裏面と上記固定台の間の空隙に、流動化された媒体を導入した後、当該媒体を固化することによって上記固定台上に固定されることを特徴とする請求項1から7のいずれかに記載の半導体装置の製造方法。

【請求項9】上記媒体を固化した後、上記半導体基板を 40 同心円状に彎曲させ、さらに上記半導体基板の表面を研磨して平坦化することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】処理すべき半導体基板を固定するための固定手段と、上記半導体基板に所定の処理を行う処理手段を有し、上記固定手段の表面には、縁部に沿って形成された壁部および当該壁部に包囲された当該壁部より高さが高い複数の突起部が形成されていることを特徴とする半導体装置の製造装置。

【請求項11】上記突起部の高さは上記壁部の高さより $0.1\mu\text{m}$ ～ $0.5\mu\text{m}$ 高いことを特徴とする請求項1 50

0に記載の半導体装置の製造装置。

【請求項12】上記固定手段は、 $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ で定義される第1の形状係数の値が $0.0000013 \sim 0.000007(\text{cm})$ (ただし、 E は上記半導体基板の縦弾性係数(kg/cm^2)、 ν は上記半導体基板のポアソン比、 a は上記半導体基板が配列間隔 $L(\text{cm})$ の突起部に圧力 $P(\text{kg/cm}^2)$ で押し付け接触された接触部の有効半径(cm)である)である構造を有していることを特徴とする請求項10若しくは11に記載の半導体装置の製造装置。

【請求項13】上記壁部の高さは、上記突起部の高さより $\Delta h = 73917 \times L \times L \times P \times ((1 - \nu_0 \times \nu_0) / E_0 + (1 - \nu \times \nu) / E) / a - 0.0063$ (ただし、 L は壁部の配列間隔(cm)、 $2a$ は上記壁部の幅(cm)、 E_0 は上記突起部と上記壁部の縦弾性係数(kg/cm^2)、 ν_0 は上記突起部と上記壁部のポアソン比、 E は上記半導体基板の縦弾性係数(kg/cm^2)、 ν は上記半導体基板のポアソン比、 a は上記半導体基板と上記壁部および配列間隔 L の突起部が圧力 $P(\text{kg/cm}^2)$ で互いに押し付け接触した際の接触部の有効半径(cm)である)だけ低いことを特徴とする請求項10から12のいずれかに記載の半導体装置の製造装置。

【請求項14】上記固定手段は、上記半導体基板の裏面と上記固定台の間の空隙を排気して上記半導体基板を上記固定手段上に吸着させる手段を有していることを特徴とする請求項10から13のいずれかに記載の半導体装置の製造装置。

【請求項15】原画マスクのパターンを半導体基板上に形成されたホトレジスト膜に投影露光するための光学系と、上記半導体装置を表面上に固定するための固定台と、当該固定台をX軸方向、Y軸方向およびZ軸方向にそれぞれ移動させるためのX移動台、Y移動台およびZ移動台を具備し、上記固定台の上面には、当該固定台の上面の縁部に沿って形成された帯状の壁部および当該壁部によって包囲された、当該壁部より高さが高い複数の突起部が形成されていることを特徴とする投影露光装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体製造装置に関し、詳しくは、高い精度でアライメントで露光や研磨など各種処理を行って、高性能の半導体装置を容易に製造することができる半導体装置の製造方法およびそれに用いる半導体装置の製造装置に関する。

【0002】

【従来の技術】256MビットのDRAM(Dynamic Random Access Memory)以上の高集積半導体装置を製造する場合、許容焦点深度が浅い露光装置を用いて微細な回路

パターンを光学的に露光して転写することが行われる。露光装置を用いて微細な回路パターンを露光転写する際には、基板の被露光面が極めて平坦になるように、基板を固定する必要がある。このような基板を平坦に固定する方法として、例えば、特許第2-574818号に記載されているような、複数の突起を備えた真空吸着台が知られているが、十分な平坦度は得られていない。

【0003】さらに、露光後の各種プロセスを経て表面に段差構造が形成された基板上に、許容焦点深度が浅い露光装置を用いて、微細な各種パターンを光学的に露光転写するためには、基板表面に形成されてあるパターンを平坦化することが必要である。

【0004】このような平坦化方法としては、特開平7-314298号公報に記載されているように、加熱によって絶縁膜を軟化させるリフロー平坦化法、凸部を溶かすエッチング法、および化学的かつ機械的に加工する化学的機械研磨法(CMP:Chemical Mechanical Polishing)等が従来から知られている。しかし、上記リフロー平坦化法やエッチング法は、段差部分を局所的に平滑にすることは一応可能であるが、露光装置の浅い焦点深度の許容範囲を満たすほどの平坦度は得られないという問題があった。

【0005】しかし、上記化学的機械研磨法では、柔軟な研磨板を半導体基板の表面に沿って均一な圧力で押し当てて、基板表面と研磨板との間に研磨剤を挟んで基板表面を研磨する方法であるため、上記リフロー平坦化法やエッチング法に比べて高精度な平坦化が可能であるので、半導体製造工程へ盛んに導入されている。

【0006】また、露光装置の吸着台と半導体基板との間に介在する異物に起因する、露光転写時における回路パターンの形成不良を解消するため、半導体基板を吸着台の表面に滑らせて、吸着板の表面から塵埃微粒子を除去した後、半導体基板を吸着台上に固定する方法が、特公昭60-15147号に開示されている。

【0007】さらに、平坦化加工のむらを解消するため、平坦化加工中に平坦化すべき基板を遊星運動させて加工する方法が、特開平7-1328号に開示され、また、真空吸着によって基板を保持し、この基板を研磨部材に押し付けた後、真空吸着を開放して研磨を行う方法が特開平5-251411号に開示されている。

【0008】さらに、研磨屑を除去する複数の溝を有し、曲げ剛性の高い研磨部材を用いることによって、半導体基板表面の表面に形成された、半導体装置の微細な凹凸パターンの凹部を研磨せずに凸部のみを研磨する方法が、特開平7-314298号に開示されている。

【0009】また、研磨部材と基板との間隙に研磨材を十分に介在させるため、研磨部材の外周を囲って研磨剤の研濁液の液溜まりを形成して平坦化加工する方法が特公平7-7755号に記載されている。

【0010】さらに、吸着台の真空チャック面の曲率を

任意に変えて基板を研磨する装置が特開平9-38858号に記載されている。

【0011】また、半導体ウエハを平坦加工する方法として、表面張力の低減や脱気処理した液体を用いた冷凍チャックによってウエハを固定し、このウエハの表面を砥石で研削する方法が特開平9-007986号に記載されている。

【0012】

【発明が解決しようとする課題】上記従来の真空吸着台は、(1)基板の裏面に連続的に接触する壁部と点的に接触する突起部がすべて同じ高さである、(2)基板と連続的に接触する外周壁でのゴミの挟み込み確率を下げるため、外周壁に丸みが付けられている、あるいは

(3)基板裏面の付着異物を吸着台に接触擦り除去する動作を併用して基板を固定保持する、構造であった。これらの構造を有する吸着台では、いずれも基板である略円形状のウエハの外周端から3~5mmの領域は、半導体装置の作成には使用ししない領域として、基板を固定保持した時の平坦度の保証範囲外になっていた。

【0013】一方、パターンの微細化とチップサイズの拡大に対処して生産効率を向上させるため、ウエハの直径は300mm以上と大口径化し、しかも、1枚のウエハの外周ぎりぎりの表面領域まで、微細な半導体素子を高い収率で形成することが高い生産性を得るために要求されてきた。また、露光装置で回路パターンを露光転写するに際し、繰り返して行われる露光照射によって、露光エネルギーが基板に蓄積され、基板内の熱応力によって基板が基板面に平行な面内で移動して、転写すべきパターンのアライメント誤差(整合誤差)を生じるといった問題があり、この問題の解決が半導体素子の歩留まり向上に不可欠となってきた。

【0014】さらに、露光装置の焦点深度の裕度を上げる方法として、化学的機械研磨法が半導体装置の製造に導入され始めたが、この方法を用いた場合は、柔軟な研磨部材で加工を行うと、基板の表面に形成されたパターンの凸部のみではなく、加工したくない凹部も加工されてしまう加工むらの問題が生じ、パターンの凹部を加工しない加工技術の確立が望まれている。

【0015】この加工むら発生の現象は、研磨部材への基板の押し当て圧力による加工時の加工面圧が高いほど、基板表面の半導体装置の段差パターンの凸部間の間隔が広いほど、および、研磨部材の剛性が高いほど顕著である。この現象を低減するために加工面圧を下げると、加工能率が低下して加工時間が増大するという問題があった。

【0016】また、研磨部材を十分に柔軟な素材で構成しないと、凝集した加工片や研磨剤の砥粒によって基板表面に傷が付いてしまうという問題があった。さらに、研磨剤が懸濁された加工液に含まれた気泡が基板表面と研磨板との間に侵入し、基板表面の凹凸に応じてそ

の面積が変化するため、加工速度が変動して加工むらが生じるという問題が明らかになった。

【0017】本発明者の検討によれば、半導体装置の製造において化学的機械研磨法を用いた場合、半導体装置を構成するための種々のパターンが形成され、積層されている基板の表面の形状によって研磨加工精度が左右され、特に、研磨部材の剛性を高めると、数mm～数10mmの周期で基板の表面に存在する数10nm以下の形状が加工ムラに現われることが明らかになった。したがって、このような基板の表面形状の影響を無くし、極めて高精度に半導体装置を製造することができる製造方法を開発することが必要である。

【0018】また、基板を吸着台に平坦に固定し、研磨部材に接触させて平坦化加工する際に、研磨部材と基板表面との加工時の摩擦力により、基板が吸着台上で滑る現象が見い出された。さらには、吸着力を開放させたり、研磨部材からの相対な加工力で遊星運動回転させる方法の場合も、基板と研磨部材との境界の制御が難しい相互の力によって回転運動が支配されてしまうため、回転運動の動きが様でなくなり、加工速度が均一にならず、基板を平坦化加工する際の加工むらの原因となることが明らかになった。

【0019】本発明の目的は、従来技術の上記問題点を解決し、半導体基板に露光時の照射エネルギーが蓄積されても、固定台上で半導体基板が横移動することなく、高いアライメント精度を維持して、基板の表面に塗布された感光剤膜の全域に高精度に微細パターンの潜像を形成することができる半導体装置の製造方法およびそれに用いる製造装置を提供することにある。

【0020】本発明の他の目的は、基板の表面上に形成された各種パターンの凹凸部の高さや間隔が異なっても、基板の表面形状の影響を受けることなしに、上記各種パターンの一部を除去することができる半導体装置の製造方法およびそれに用いる製造装置を提供することにある。

【0021】本発明のさらに他の目的は、半導体基板の表面に傷や加工むらを生じることなく、かつ、各種パターンの凹部を加工することなしに、凸部のみを加工して、高性能な半導体装置を形成することができる半導体装置の製造方法およびそれに用いる製造装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するための、本発明の半導体装置の製造方法は、壁部および当該壁部に包囲された当該壁部より高さが高い複数の突起部が表面に形成された固定台上に半導体基板を配置し、当該半導体基板の裏面が上記壁部に接触し、かつ、上記複数の突起部が上記半導体基板の裏面に所定深さだけ埋没するように、上記半導体基板を上記固定台上に保持して、上記半導体基板に所定の処理を行うことを特徴とす

る。

【0023】すなわち、上面の縁部に沿って形成された帯状の壁部およびこの壁部によって包囲された複数の突起部が形成された固定台の上面上に、処理すべき半導体基板が、当該半導体基板の裏面が上記壁部に接触し、かつ、上記複数の突起部が上記半導体基板の裏面に所定深さだけ埋没するように固定されて、各種処理が行われる。上記複数の突起部が上記半導体基板の裏面に所定深さだけ埋没するようにして半導体基板を固定することによって、露光照射エネルギーの蓄積による熱応力による半導体基板の横ズレや半導体基板の横方向の移動が防止されるなど、良好な固定が可能になる。しかも、上記突起の高さが上記壁部の高さより高いので、上記突起が上記半導体基板の裏面に埋没しても、半導体基板の内側が下方に彎曲することなく、十分な平坦度が保たれる。

【0024】その結果、上記半導体基板のうち、面取り加工された外周端部分を除く表面全域が0.3μm以下の平坦度で上記固定台上に保持される。

【0025】上記所定深さは0.1μm以上0.5μm以下とすることによって好ましい結果が得られる。

【0026】半導体基板をこのように固定台上に固定した後、上記半導体基板上に形成されたレジスト膜に所定のパターンを露光法によって形成したり、あるいは上記半導体基板の表面に形成された段差を研磨法によって平坦化するなど、各種処理を行うことができる。この平坦化する処理は、例えば、上記半導体基板の表面上に形成されたパターンの所望部分を除去することによって行われる。この場合、上記パターンの凸部のみを研磨して平坦化できるので、良好な結果が得られる。これらの平坦化には化学機械研磨法が実用上好ましい。

【0027】上記半導体基板を、当該半導体基板の裏面の粗さ曲線の山頂線位置において上記壁部と接触し、上記半導体基板の裏面の粗さ曲線の山頂線より谷底に寄った位置において上記突起部の先端部と接触するように固定することができ、好ましい結果が得られる。

【0028】さらに上記半導体基板の裏面と上記固定台の間の空隙に、流動化された媒体を導入した後、当該媒体を固化するようにすれば、半導体基板を固定台上に固定させる力がさらに強固になる。この媒体としては例えば所定の粉末を用いることができる。

【0029】上記媒体を固化した後、上記半導体基板を同心円状に彎曲させ、さらに上記半導体基板の表面を研磨して平坦化することができる。

【0030】また、上記半導体装置の製造方法には、処理すべき半導体基板を固定するための固定手段と、上記半導体基板に所定の処理を行う処理手段を有し、上記固定手段の表面には、縁部に沿って形成された壁部および当該壁部に包囲された当該壁部より高さが高い複数の突起部が形成されていることを特徴とする半導体装置の製造装置を使用できる。

【0031】すなわち、本製造装置は半導体基板を固定するための固定手段を有し、この固定手段の上面には、縁部に沿って形成された帯状の壁部と、この壁部に包囲された壁部より高さが高い複数の突起が形成されている。そのため、上記のように、横方向滑りや移動なしに半導体基板を固定できるとともに、極めて良好な表面平坦度が得られる。

【0032】上記突起部と壁部の高さの差は、上記突起部が半導体基板の裏面に埋没する深さによって適宜選択され、上記突起部の高さを上記壁部の高さより0.1 μ m 10 ~0.5 μ m 高くすることによって、実用上好ましい結果が得られる。

【0033】また、上記固定手段の形状を、 $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ で定義される第1の形状係数の値が0.0000013~0.000007 (cm) (ただし、Eは上記半導体基板の縦弾性係数(kg/cm²))、 ν は上記半導体基板のポアソン比、aは上記半導体基板が配列間隔L (cm) の上記突起部に圧力P (kg/cm²) で押し付け接触された接触部の有効半径(c 20 m)である) である形状とする。これにより、基板の表面形状に変化を与えることなしに、基板の裏面に突起部を埋没させることが可能になった。

【0034】上記壁部の高さを、上記突起部の高さより $\Delta h = 73917 \times L \times L \times P \times ((1 - \nu_0 \times \nu_0) / E_0 + (1 - \nu \times \nu) / E) / a - 0.0063$ (ただし、Lは壁部の配列間隔(cm)、2aは上記壁部の幅(cm)、E₀は上記突起部と壁部の縦弾性係数(kg/cm²))、 ν_0 は上記突起部と壁部のポアソン比、Eは上記半導体基板の縦弾性係数(kg/cm²))、 ν は上記半導体基板のポアソン比、aは上記半導体基板と上記壁部および配列間隔Lの上記突起部が圧力P (kg/cm²) で互いに押し付け接触した際の接触部の有効半径(cm) である) だけ低くすることが実用上好ましい。

【0035】上記固定台に、上記半導体基板の裏面と上記固定台の間の空隙を排気してこの部分を減圧させ、上記半導体基板を上記固定台上に吸着させる手段を設けることができる。

【0036】さらに、上記壁部と上記突起部を有する固定台を用いて投影露光装置を構成すれば、極めてすぐれた投影露光装置がえられる。すなわち、原画マスクのパターンを半導体基板上に形成されたホトレジスト膜に投影露光するための光学系と、上記半導体装置を表面上に固定するための固定台と、当該固定台をX軸方向、Y軸方向およびZ軸方向にそれぞれ移動させるためのX移動台、Y移動台およびZ移動台を具備し、上記固定台の上面には、当該固定台の上面の縁部に沿って形成された帯状の壁部および当該壁部によって包囲された、当該壁部より高さが高い複数の突起部が形成されていることを特徴とする投影露光装置である。

【0037】

【発明の実施の形態】上記半導体基板の固定方法として、(1)半導体基板の裏面と接触する突起部の先端部によって基板の裏面の接触部を圧縮弾性変形させ、基板裏面と先端部との接触部分の近傍で先端部を基板裏面によって覆い、この先端部が半導体基板の裏面に埋没させる、(2)壁部と半導体基板の裏面との接触位置より半導体基板の裏面に0.1~0.5 μ mの深さで突起部の先端部が埋没する状態に半導体基板の裏面を突起部の先端部で変形させて半導体基板の固定を行う、(3)複数の突起部の周囲を排気して該突起部に半導体基板の裏面を吸引接触させて固定する、(4)半導体基板の裏面と接触する突起部の先端部において、半導体基板の裏面の接触部を圧縮弾性変形させて固定し、半導体基板の表面の平坦度を測定して所定の平坦度データと比較し、半導体基板の表面の平坦度が該所定の平坦度に収まるように半導体基板表面の形状を制御して固定する、(5)半導体基板の裏面と接触する突起部の先端部において、半導体基板の裏面の接触部を圧縮弾性変形させて固定し、半導体基板の表面の平坦度を測定して所定の平坦度データと比較し、比較結果に基づいて突起部を伸縮させ、半導体基板の表面形状が所定の形状に収まるように突起部の高さを制御して固定する、(6)複数の突起部を有する固定台を変形させて、半導体基板の平坦度を±2 μ mの範囲で矯正して固定する、および(7)複数の突起部を有する固定台を変形させて、半導体基板の表面とこの半導体基板の表面に所定の加工を行う加工手段との間隔が±2 μ mの範囲内になるように固定する、などの方法を用いることができる。

【0038】また、処理工程としては(1)半導体基板の表面上に形成された感光剤膜に半導体装置の製造に必要な各種パターンを露光法によって形成する、(2)半導体基板の表面上に所望材料を堆積する、(3)半導体基板の表面上に所望パターンをエッチングによって形成する、(4)半導体基板の表面上に形成されたパターンの少なくとも一部を平坦化する、(5)半導体基板の表面を化学的機械研磨加工で平坦化する、(5)半導体基板の表面を砥石を用いた化学的機械研磨法で平坦化する、(6)半導体基板の裏面に流体を介在させ、半導体基板の裏面に及ぼすこの流体の圧力を、半導体基板の裏面の位置に応じて制御して平坦化する、および(7)半導体基板の裏面に及ぼす背圧力を所定値だけ昇圧させて、半導体基板を彎曲させ、この状態で移動制御して表面を平坦化する、などの各種工程を行うことができる。

【0039】さらに、面取り加工済みの外周端部分を除く半導体基板の表面全域は、円周方向に10mm当たり0.1 μ m以下の平坦度に保持されるので、研磨部材と半導体基板を相互に回転させて化学的研磨加工する際に、円周方向に発生する加工量の変動は効果的に防止され、また、半導体基板の表面の同心円上の球面の曲率を制御できるので、半径方向に生じる同心円状の加工量の

ばらつきを除去できる。

【0040】その結果、化学研磨を行う際における半導体基板と研磨部材との加工速度を、随時制御することが可能となり、平坦化工程における半導体基板の表面に傷や加工むらを生じることなしに、半導体基板の表面上に形成された各種パターンの凸部のみを研磨して平坦化し、高性能な半導体装置を製造することができる。

【0041】なお、本発明において、上記固定台の材料は、例えばアルミニウム、ステンレスおよびセラミックスなどから適宜選択することができ、突起部の先端部の傾斜は $30^\circ \sim 60^\circ$ の範囲から、隣接する突起部の間隔は $1 \sim 3 \text{ mm}$ 、壁部の幅は $0.1 \sim 1.5 \text{ mm}$ の範囲から適宜選択される。

【0042】

【実施例】〈実施例1〉図1は本発明の第1の一実施例を示す図であり、図1(a)は半導体基板の固定台の平面の概略を示し、図1(b)は側面断面の概略を示す。図1から明らかなように、本実施例の固定台1においては、壁部2に囲まれた領域内に複数個の突起部3と吸引孔4が設けられ、壁部2は溝部5と吸引孔6とから構成されている。図1(b)において、符号2aは突起部3の先端部の有効直径、Lは配列ピッチ、2aは壁部の先端部の幅をそれぞれ表わし、壁部2は突起部3より高さ Δh だけ低い構造となっている。

【0043】本実施例における、固定台1の複数の突起部と半導体基板10の接触状態を、部分的に拡大した概略断面を図30に示した。図30から明らかなように、半導体基板10の裏面の粗さ曲線360の山頂線361の位置で、固定台1の壁部(図示せず)の先端部は半導体基板10の裏面と接触し、半導体基板10の裏面の粗さ曲線360の山頂線361より谷底線362側に寄った位置で、突起部364の先端部365と半導体基板10の裏面とが接触する。半導体基板10の裏面の粗さ曲線の山頂線361より食い込んだ状態、すなわち、突起部364の先端部365が半導体基板10の裏面に埋没した状態で半導体基板10を固定し、半導体基板10の図示されていない表面を処理して半導体装置が製造される。

【0044】図1に示した本実施例の固定台の特性の測定結果の一例を図2に示した。突起部3の配列ピッチLを横軸に示し、半導体基板の弾性変形による食い込み量を縦軸に示した。パラメータとして突起部の先端部の有効半径aを変化させた。半導体基板を 0.6 kg/cm^2 のゲージ圧で吸引した。たとえば実測点390においては $0.3 \mu\text{m}$ 食い込んだ。

【0045】図3は本発明の固定台の特性を、接触半径 $75 \mu\text{m}$ 、配列ピッチ 0.2 cm 、 $E_0 = 2.1 \times 10^6 (\text{kg/cm}^2)$ 、 $\nu_0 = 0.33$ において測定した結果の一例であり、縮小投影露光装置におけるパターンのアライメント(整合)誤差を求めた結果である。横軸に突

起部による半導体基板の食い込み量を示し、縦軸にアライメント誤差の割合を示した。この結果から半導体基板裏面に突起部の先端部を $0.1 \mu\text{m}$ 以上食い込ませることにより、露光照射エネルギーの蓄積による半導体基板の横ずれを防止して、アライメント精度を向上できることが確認された。半導体基板裏面の食い込み量の上限は、半導体基板の表面への食い込み量の影響や半導体基板の裏面の塑性変形を生じない範囲で決められ、食い込み量を $0.1 \sim 0.5 \mu\text{m}$ とすれば、半導体基板裏面の保持に最適であることが確認された。

【0046】図4は、本発明の固定台の形状を規定するための特性線図の一例である。複数の突起部を有する固定台を用い、突起部の周囲を排気して突起部に半導体基板を接触させ半導体基板を吸引固定するに際し、半導体基板の縦弾性係数 $E (\text{kg/cm}^2)$ 、ポアソン比 ν 、突起部の配列間隔 $L (\text{cm})$ および突起部と半導体基板とが圧力 $P (\text{kg/cm}^2)$ で接触する接触部の有効半径 $a (\text{cm})$ の関係として、 $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ で定義される第1の形状係数1の値を、図4においてWで示す範囲である $0.0000013 \sim 0.000007 (\text{cm})$ とすることにより、半導体基板の凹み量を最適にできる。

【0047】すなわち、半導体基板の縦弾性係数 $E (\text{kg/cm}^2)$ 、ポアソン比 ν 、突起部の配列間隔 $L (\text{cm})$ および突起部と半導体基板とが圧力 $P (\text{kg/cm}^2)$ で接触する接触部の有効半径を $a (\text{cm})$ としたとき、 $L \times L \times P \times (1 - \nu \times \nu) / (a \times E)$ で求められる形状係数1の値が、 $0.0000013 \sim 0.000007 (\text{cm})$ の範囲内である固定台が、半導体基板のずれを防ぎかつ半導体基板の表面形状に影響を与えないことが確認された。なお、図4における一実測点390は図2に示した一実測点と同一条件である。

【0048】本発明の固定台の他の特性の測定結果の一例を図5に示した。横軸に突起部の配列ピッチLを示し、縦軸に壁部と突起部とで支持された半導体基板の表面の高さの相対差を示した。パラメータとして突起部の先端部の有効半径aと壁部の幅2aを変化させ、半導体基板は 0.6 kg/cm^2 のゲージ圧で吸引した。図5において一実測点391は、接触半径 $75 \mu\text{m}$ 、配列ピッチ 0.2 cm 、 $E_0 = 2.1 \times 10^6 (\text{kg/cm}^2)$ 、 $\nu_0 = 0.33$ の固定台で、 $E = 7.31 \times 10^5 (\text{kg/cm}^2)$ 、 $\nu = 0.17$ の半導体基板を固定する時のオフセット量を示す。

【0049】本発明の固定台の形状を規定する特性線図の他の一例を図6に示した。壁部と突起部との接触面積の違いに起因する半導体基板表面の高さの相対差をなくすため、あらかじめ壁部の高さを突起部の高さより低くした際の段差量、すなわちオフセット量の求め方を示す第2の形状特性図である。複数の突起部を有する固定台を用いて、該突起部の周囲を排気して該突起部に半導体

基板を接触させ半導体基板を吸引固定する場合において、突起部と壁部の縦弾性係数 E_0 (kg/cm^2)、ポアソン比 ν_0 、半導体基板の縦弾性係数 E (kg/cm^2)、ポアソン比 ν で、壁部の幅 $2a$ (cm)、配列間隔 L (cm) で、半導体基板が圧力 P (kg/cm^2) で突起部に押し付け接触される接触部の有効半径を a (cm) とすると、オフセット量 $\Delta h = 73917 \times L \times L \times P \times ((1 - \nu_0 \times \nu_0) / E_0 + (1 - \nu \times \nu) / E) / a - 0.0063$ の関係で定義される Δh だけ、壁部の高さを突起部の高さより低くすれば良いことが確認された。

【0050】図6における矢印は、設計方法の一例を示すもので、 $E_0 = 2.1 \times 10^6$ (kg/cm^2)、 $\nu_0 = 0.33$ 、 $E = 7.31 \times 10^5$ (kg/cm^2)、 $\nu = 0.17$ 、 $L = 0.2$ (cm)、 $P = 1$ (kg/cm^2)、 $2a = 0.015$ (cm) としたとき、突起部の先端部のとの高さのオフセット量を、 $\Delta h = 0.4$ (μm) とすればよいことを示し、図5に示した条件の一実測点391と合致した。このように、壁部の接触部の位置が、突起部の接触部の位置より Δh だけ低い構造の吸着固定台に、半導体基板を吸着固定することにより、壁部と突起部とで支持する半導体基板の表面の全域にわたり平坦度の劣化を防ぐことできた。

【0051】本実施例以外の材料を用いたり、構造の寸法が異なる場合には、それぞれその材料や寸法に基づいて形状係数2を算出し、図6の特性線上に合致する点を求めることにより、オフセット量 Δh を決定することができる。

【0052】なお、本実施例において示した、図4や図6の特性線図から求められた値に設計上の加工誤差や安全係数等を考慮して、所定の許容幅を設けた範囲の値のオフセット量の構造に設計することが可能であり、本発明に包含されることは明らかである。

【0053】〈実施例2〉図7に本発明の第2の実施例の断面構造の概略を示した。固定台1はZ移動台11上に設置されている。半導体基板10を固定台1の上に設置し、吸引孔4、6から配管12、13を経由し、図示されていない排気手段によって、複数の突起部が形成された領域14と壁部の溝5の領域を排気して負圧にすると、半導体基板10は、突起部3の先端部が半導体基板10の裏面に所定量だけ食い込んで固定される。この際の食い込み量が異なる壁部2の先端部の高さは、あらかじめ突起部より高さがオフセット量だけ低い構造であるため、半導体基板の面取り加工済みの外周端部分15を除く半導体基板表面全域にわたって平坦に吸着固定することができる。

【0054】上記図7に示した移動台を用いた半導体装置の製造方法を、図31を用いて説明する。本実施例の投影露光装置は、縮小投影レンズ300、光源302、コンデンサレンズ303、原画マスク304、X移動台

305、Y移動台306、Z移動台11、固定台1から主に構成され、固定台上の半導体基板10の表面に塗布された感光剤に原画マスクのパターンの潜像を投影形成することにより、半導体装置の各種パターンが製造される。図31は、半導体基板10と固定台1のみを示した。

【0055】この製造方法では、半導体基板表面にレチクルを介してパターンの露光処理が行われるが、突起部が半導体基板10の裏面に食い込んでいるため、露光照射エネルギーの蓄積によって生ずる熱膨張によるアライメント誤差の発生を防止することができ、高性能な半導体装置を製造することができた。なお、本実施例では、突起部の半導体基板裏面への食い込みにより、半導体基板の熱膨張による横方向のずれを防ぐ機能とともに、半導体基板に蓄積された熱を固定台に散逸させる機能も向上することが認められ、両者の機能が相乗して、アライメント精度の向上が確認された。

【0056】〈実施例3〉本発明の第3の実施例を図8を用いて説明する。図8から明らかなように、本実施例においては、球面案内の支持部を有する取付台20および固定台1が設けられ、固定台1に固定された半導体基板10を砥石などの研磨手段22に接近させ、半導体基板10の表面が所定量だけ化学的研磨加工によって平坦化加工される。

【0057】固定台1の吸引孔に接続された配管に接続された排気手段（図示せず）によって、固定台1の複数の突起部が設けられた領域と壁部の溝の領域を排気して負圧にし、半導体基板10の裏面に複数の突起部の先端部を所定量だけ食い込ませて半導体基板10を固定する。半導体基板10は回転手段（図示せず）によって軸24を中心に回転（自転）し、荷重手段（図示せず）によって軸24方向の負荷量を制御する。研磨手段22は回転台23上に設置され、軸25を中心に回転（公転）する。供給手段（図示せず）によって所定の加工液が供給され、保水手段26により研磨手段22およびその表面が加工液で覆われ湿潤し、半導体基板10と研磨手段22とが接触する界面や隙間が加工液で満たされる。

【0058】本実施例では、取付台20の球面座の回転中心が半導体基板10の表面に位置する構造になっているので、半導体基板10と研磨手段22との接触によるモーメントの影響を受けずに、半導体基板10の表面が研磨手段22に倣うように姿勢制御される。

【0059】〈実施例4〉本発明の第4の実施例は、半導体基板を垂直に支持して半導体基板の表面を処理した例であり、図9、10を用いて説明する。

【0060】図9に示したように、高精度に回転可能な取付台30には固定台1が設置されており、半導体基板10は、この固定台10に排気孔31、32を経由して排気手段（図示せず）によって吸引固定され、軸33を中心に高精度に回転される。

【0061】同様に、高精度に回転可能な取付台35に配置された砥石などの研磨手段34を、軸36を中心に高速高精度に回転させながら、軸36方向に高精度に移動させて半導体基板10の表面に接近させ、かつ半径方向に揺動させて半導体基板10の表面を加工処理する。この加工処理に際しては、供給手段（図示せず）によって所定の加工液が供給されて研磨手段34およびその近傍の表面が加工液で湿潤され、加工処理中は、半導体基板10と研磨手段34とが接触する界面や隙間が加工液で満たされるので、良好な研磨が行われる。

【0062】上記半導体基板の研磨加工処理に先だって行われる、固定台表面の洗浄工程と研磨手段のドレッシング工程を、図10を用いて説明する。図10に示したように、固定台1の有する突起部と壁部の先端部に異物が付着あるいは堆積するのを除去あるいは防止するため、平坦な大理石等からなる平坦化手段38を、軸33を中心に回転している固定台1の、突起部や壁部の先端部に軽荷重で接触させて、径方向に移動させる。平坦化手段38は、壁部と突起部の高さの差であるオフセット量だけ軸33方向に微動可能な構造になっている。この

ような固定台1の洗浄工程は、洗浄液や純水をかけながら行うことも可能であるが、通常の場合は、乾燥状態で極めて軽く擦るだけで除塵する効果が認められた。

【0063】一方、研磨手段34のドレッシング処理を行うには、軸36を中心にして研磨手段34を高速高精度回転させておき、ダイヤモンドや超鋼製のバイトや高速回転エンドミルなどの超硬治具37を、所定切り込み深さで径方向に順次移動させて所定の平坦度にした後、同一の超硬治具または別の治具を用いて、所定の切り込み深さで径方向の送り量を粗くして、平坦に加工された

研磨手段表面に数百 μm 以下の微細な溝を螺旋状に形成する。この微細な溝は、半導体基板加工の際の半導体基板と研磨手段との隙間に存在する加工液の動圧によって生ずる浮上や砥石面への吸着作用などの加工速度むらとなる不安定要因を低減し、また加工残渣の排出を促進してスクラッチ等の傷や欠陥の発生を防止する効果が極めて大きいことが確認された。特に、深さ $2\mu\text{m}\sim 100\mu\text{m}$ 、幅 $10\mu\text{m}\sim 200\mu\text{m}$ 程度の溝が、加工効率を最大に保つ上で最適であった。

【0064】〈実施例5〉本発明の第5の実施例は、半

導体基板を垂直に支持して半導体基板の表面を処理した例であり、図11、12を用いて説明する。

【0065】図11に示したように、高精度に回転可能な取付台30に設置された固定台1には、半導体基板10が、排気孔31、32を経由して排気手段（図示せず）によって吸引固定され、軸33を中心に高精度に回転される。ダイヤモンド製のバイトや高速回転するエンドミル等の超硬治具40を、所定切り込み深さで径方向に順次移動させ、半導体基板10の表面を所定量だけ切削処理して平坦に加工する。この加工を行う際に適当な

pH（ペーハー指数）の研磨液を供給すれば、半導体基板10の表面に化学的に水和層を形成して、化学的機械研磨処理（CMP）を行うことも可能である。

【0066】上記半導体基板10の加工に先だって、固定台1の表面を洗浄する工程が行われるが、図12を用いてこの洗浄工程を説明する。固定台1の突起部と壁部の先端部に、異物が付着や堆積するのを防止あるいは除去するため、例えば平坦な大理石等からなる平坦化手段38を、軸33を中心に回転している固定台1の突起部や外周の壁部の先端部に、軽荷重で接触させながら径方向に移動させる。

【0067】〈実施例6〉本発明の第6の実施例を図13を用いて説明する。図8に示した上記実施例3と同様に、球面座を有する取付台20に設置された固定台1に半導体基板10を吸引固定した後、配管51を用いて、外周の壁部2の溝5によって半導体基板10を吸引固定する。この状態で、突起部が設けられた領域の配管52を介しての排気を止め、逆に加圧液体を供給して半導体基板10の表面を変形させて下に凸にし、半導体基板10と研磨手段50とで挟まれた加工液53が介在する隙間を $2\mu\text{m}$ 以下の範囲で制御して研磨処理を行った。

【0068】〈実施例7〉本発明の第7の実施例を図14、15を用いて説明する。固定台1は、独立に伸縮可能な複数の電歪部材70を介して、球面座を有する取付台20に配置されおり、半導体基板10は、配管51、52を経由して排気することによって上記固定台10に吸引固定される。

【0069】図14は、複数の電歪部材70に電圧が印加されていない状態を示し、図15は上記複数の電歪部材70のうち、中央部に配置された電歪部材70ほど伸び量が大きくなるように電圧を制御した場合の一例を示している。半導体基板10と研磨手段50とで挟まれた加工液53の介在する隙間を $2\mu\text{m}$ 以下の範囲で制御するように複数の電歪部材70の伸縮量を制御することにより、加工効率を向上させることができ、また、半導体基板10と研磨手段50との隙間に存在する加工液53の、半導体基板10を加工する際の動圧による圧力の上昇や吸引作用など、加工速度の不安定要因が低されて加工速度が安定し、さらに、加工残渣の排出が促進されてスクラッチ等の傷や欠陥の発生が著しく防止されることが確認された。

【0070】なお、電歪部材の伸び量の制御量は必要に応じて大きくしてもよいが、平坦度の制御より、半導体基板10と研磨手段との隙間を制御した方が加工速度を均一にする効果大きい。また、あらかじめ、半導体基板10を研磨手段50に接近させる前に、レーザー光を用いた干渉平坦度測定器で半導体基板10の表面の平坦度をモニタし、半導体基板10の面取り加工済みの外周端部分を除いた部分の表面の全域を円周方向に 10mm 当たり $0.1\mu\text{m}$ 以下の平坦度に制御して、研磨手段5

0に接近させて加工することもできる。このようにすれば、半導体基板10に固有の1 μ m以下の円周方向の小さな凹凸をあらかじめ補正できるので、半導体基板10に固有の1 μ m以下の円周方向の小さな凹凸に影響されることなしに、硬い砥石を用いて半導体基板10表面に形成されている半導体装置の各種パターンの凸部のみを高精度に研磨することができた。

【0071】なお、半径方向の同心円状の半導体基板の凹凸は残っていても、図13、図15および図17に示したように、半導体基板10全体を中心部が2 μ m程度までの凸状な略球面に保持して歳差運動する軸の傾き角を変えてその姿勢を制御して、研磨を行うことにより、半径方向の同心円状の半導体基板の凹凸の影響が、加工むらとして現われることを防止できた。

【0072】〈実施例8〉第8の実施例を、図16、17を用いて説明する。外周固定手段80とシール手段81によって、球面座を有する取付台20に設置された固定台1に、を配管51、52を介して半導体基板10を吸引固定する。固定台1の背面に設けられた配管83を介して加圧気体の導入および排出ができる。また、この加圧気体は、シール手段84、85によって、配管51、52を経由する排気系統とは独立して制御することができる。

【0073】図16は固定台1の背面に加圧気体が供給されていない状態を示し、図17は固定台1の背面に加圧気体が供給された状態の一例を示している。本実施例においても、固定台1の背面への加圧流体を制御して、半導体基板10と研磨手段50とで挟まれた加工液53の介在する隙間を2 μ m以下の範囲にすることにより、上記実施例7と同様に、好ましい結果が得られた。

【0074】〈実施例9〉本発明の第9の実施例を図18、19、20を用いて説明する。図18に示したように、固定台は、取付台100に設けられた円弧部材101および円弧部材102、103の回転案内手段およびスチールベルト等の巻部材104、105の拘束手段によって、紙面に垂直な軸周りに回転することができ、さらに、円弧部材111および円弧部材112、113の回転案内手段およびスチールベルト等の巻部材114、115の拘束手段によって、図19の紙面に垂直な軸周りに回転することもできるので、半導体基板10と研磨手段50との境界面を回転中心とする球面回転を行うことができる。

【0075】図20は回転案内手段と拘束手段の原理を示す図であり、円弧部材101と円弧部材102を巻部材104によって動作させた場合を示している。円弧部材101、102には、それぞれの軸127、128を共通にして、径の小さな円筒部125、126が設けられている。対に設けられた同じ構造の円弧部材8図示せず）によって軸127と軸128とは互いに平行になる。円筒部121、122の巻部材114が略S字状を

なすように互いに交差して巻きつけてある。この巻部材も図示していないが対に設けられており、張力を張るように固定されているため、軸127と軸128を矢印124の示した引き付け力が発生し、その結果、円弧部材101と円弧部材102とが接触部123で接し、かつ、互いに滑らずに滑らかに回転することができる。軸127は円弧部材101を介して取付台100に固定される。円弧部材102の軸128は周知の回転ベアリングを介して第二の取り付け部材兼円弧部材111に固定される。円弧部材103の軸も同様に円弧部材111に固定される。円弧部材112、113の軸も同様に周知の回転ベアリングを介して固定台1の公転運動軸107に固定されて軸106の周りを回転することができる。なお、円弧部材101と111の円弧の空間上の中心位置を半導体基板10と研磨部材50との境界面位置とすることにより加工処理中の固定台の動きを安定化できた。

【0076】本実施例の構造は、すき間や摺動抵抗の微妙な管理を行うことなしに、軸106方向の拘束剛性を大きく保ちながら、半導体基板10の表面の歳差運動を滑らかに実現できるので、高精度な化学的研磨加工処理を行うことができるという特長を有している。

【0077】〈実施例10〉図21、22は本発明の第10の実施例を示す図であり、半導体基板10の表面の歳差運動を滑らかに実現できる簡便な構造の一例を示している。取付台120に設けた円弧部材121と円弧部材122は、回転案内手段およびスチールベルト等の巻部材123の拘束手段によって、軸124周りの回転を行うことができ、さらに、円弧部材131と円弧部材132は、回転案内手段およびスチールベルト等の巻部材133の拘束手段によって、軸134周りの回転を行うこともできるので、半導体基板10任意の方向に自由な回転が可能になった。

【0078】本実施例における拘束手段123、133は、奇数個の巻部材を一对の円弧部材で挟んで互いに交差する方向に巻つける構造を有しているので、巻部材の張力を付加した時における円弧部材の互いに平行な軸の平行度を崩すようなモーメントの発生を防止できるので、組み立て調整が容易である。さらに、本実施例の場合は、円弧部材121、122のように1組の円弧部材によって、一軸周り回転が可能になっているため、ベアリング等を介在させることなしに、各円弧部材を取付台120、130および軸126周りの公転運動軸127に設置できる。そのため、構造が簡素になって軽量化することができ、加工処理時の歳差運動特性の応答性が向上して、高精度な化学的研磨加工処理を行なうことができる。

【0079】〈実施例11〉本実施例は、例えば月刊Semiconductor World、増刊号「94最新半導体プロセス技術」23頁～31頁などに記載

されているDRAM (Dynamic Random Access Memory) などの周知製造方法や各種処理に本発明を適用した例である。

【0080】図23は本実施例である半導体装置の製造方法を示す工程図である。周知のように、DRAM等の半導体装置は、通常、半導体基板における段差の形成、ウェルの形成、アイソレーション、トランジスタの形成、ビット線の形成、キャパシタの形成および配線形成など各種工程を反復することによって形成される。これらの工程は、露光処理、エッチング処理、熱処理（酸化、アニール、拡散）、イオン注入処理、薄膜形成処理（CVD、スパッタリング、蒸着など）、洗浄処理（レジスト除去、溶液による洗浄および検査処理等を適宜組み合わせる）によって構成される。

【0081】図23には周知のDRAMの製造プロセスのうち、ビット線形成とキャパシタ形成の一例を示した。特に、素子構造が変化する工程での断面構造の概略を示した。右側の各図はメモリセル部の断面構造を示し、左側の各図は周辺CMOS部の断面構造を示す。

【0082】主な処理内容は次の25処理である。すなわち、第1処理；SiO₂膜の堆積、第2処理；露光、第3処理；エッチング（図23a）、第4処理；SiO₂膜の堆積、第5処理；ポリサイド膜の堆積、第6処理；露光（ビット線）、第7処理；エッチング（図23b）、第8処理；SiO₂膜の堆積、第9処理；Si₃N₄膜の堆積、第10処理；SiO₂膜の堆積（図23c）、第11処理；露光、第12処理；エッチング、第13処理；poly-Si（蓄積電極）膜の形成、第14処理；SiO₂堆積、第15処理；エッチング（図23d）、第16処理；poly-Si（蓄積電極）膜の形成（図23e）、第17処理；SiO₂膜の堆積、第18処理；エッチング、第19処理；poly-Si膜のエッチング、第20処理；SiO₂膜のエッチング、第21処理；Si₃N₄膜のエッチング、第22処理；Ta₂O₅膜の形成（キャパシタ絶縁膜）、第23処理；W（poly-Si）膜の形成（図23g）、第24処理；露光（プレート）、第25処理；エッチングの各処理からなる。

【0083】上記SiO₂膜の堆積、poly-Si膜の堆積、Si₃N₄膜の堆積、poly-Si膜のエッチング、SiO₂膜のエッチング、Si₃N₄膜のエッチング、Ta₂O₅膜の形成およびW膜の形成等の各処理に先立ち、本発明の固定台を用いて化学的機械研磨加工を行って、各段差パターンを露光装置の焦点深度以下の平坦度にした後、本発明の固定台を用いた露光装置によって、ライメント誤差なしに露光処理を行い、高性能で高信頼性な半導体装置を容易に形成できた。

【0084】なお、図23において符号201は半導体基板、202はレジスト、203はSiO₂膜（パッシベーション膜）、204はSi₃N₄膜、205はn

層、206はp層、207はpoly-Si（ポリサイド）膜、208はSiO₂膜、209はSi₃N₄膜、210はSiO₂膜、211はpoly-Si膜、212はSiO₂膜、213、214はpoly-Si膜、215はTa₂O₅膜、216はW（poly-Si）膜を、それぞれ表わす。

【0085】〈実施例12〉図24は本発明の第12の実施例の半導体装置の製造方法を示す断面鳥瞰概略図である。まず、図24（a）に示したように、本発明を用いた化学的機械研磨処理によって表面が平坦化処理された半導体基板（図示せず）上に、配線層に相当する膜厚のSiO₂等からなる層間絶縁膜221を堆積した。

【0086】図24（b）に示したように、配線溝を形成する際のエッチングの精度を確保するため、Si₃N₄からなるエッチストップ層220を形成した。レジスト膜222を周知の塗布法によって形成した後、本発明の固定台に半導体基板を載せ、配線溝パターンを上記レジスト膜222に露光転写した。レジスト膜222を現像処理した後、形成されたレジストをマスクに用いてエッチングを行って、図24（c）に示したように、配線形成領域223を形成した。

【0087】再度、半導体基板上にレジスト膜224を形成した後、本発明の固定台上に半導体基板を載せて接続孔パターンを露光転写し、レジスト膜224を現像処理し、形成されたレジストパターンをマスクにしてエッチングを行って、図24（d）に示したように、接続孔225を形成した。

【0088】上記レジストパターンを除去した後、WあるいはCu等の金属を上記接続孔225に埋め込み、半導体基板表面を本発明の化学的機械研磨処理によって平坦化処理を行って、図24（e）に示したように、配線226およびこの配線226と下層の配線（図示せず）を接続するための配線プラグ227を形成した。

【0089】以上の工程を必要に応じて応用し、反復することによって、微細な多層配線層を有する各種半導体装置を高精度かつ容易に製造することができた。

【0090】〈実施例13〉本発明の第13の実施例は、配線間容量を小さくするための低誘電率絶縁膜の一つの有機SOC膜を用いた半導体装置の製造方法の例であり、図25を用いて説明する。

【0091】まず、図25（a）に示したように、半導体基板上にAl等の金属配線230を形成した後、下地カバー膜としてSiO₂膜231を形成し、さらに、図25（b）に示したように、有機SOC膜232を周知の塗付法によって形成した。

【0092】この半導体基板表面を本発明の化学的機械研磨処理して、図25（c）に示したように平坦な表面233を形成した後、酸素プラズマ耐性を付与するため、図25（d）に示したように、キャップの酸化膜234を形成した。

【0093】図25(e)に示したように、レジスト膜235を形成した後、本発明の固定台上に半導体基板を載せ、周知のリソグラフィ技術を用いて接続孔パターンを露光転写し、レジスト膜235を現像処理し、形成されたレジストパターンをマスクにしてエッチングを行い、接続孔236を形成して上記金属配線230の表面を露出させた。

【0094】周知の低圧酸素RIE処理237を行い、図25(f)に示したように、上記有機SOC層の孔であるビア239の表面に厚さ10nmの酸化層238を形成した。図25(g)に示したように、レジスト膜235を除去し、さらにビア239に金属を埋めた後、本発明の化学的機械研磨処理によって平坦化処理を行った。なお、有機SOC膜232は酸化膜234や酸化層238で覆われているため、酸素プラズマ処理に耐えることができ、さらに、化学的機械研磨処理によって平坦化処理を行う際のストップとしての効果もあるので、平坦化加工処理の精度が向上した。その結果、より高性能な半導体装置が容易に製造できた。

【0095】〈実施例14〉図26を用いて本発明の第14の実施例を説明する。まず、図26(a)に示したように、高精度に回転可能な取付台330に設置された固定台301に、排気孔331、332を経由して排気手段(図示せず)を用いて、半導体基板10を吸引固定した。

【0096】図26(b)に示したように、上記固定台301の突起部や壁部が半導体基板10の裏面と接触していない間隙に流動化した媒体350を供給し、上記間隙内に充満した上記媒体350を所定の温度に冷却または昇温して固化させて、半導体基板10の裏面の固定力を増加させた後、軸333を中心に高精度に回転させた。高精度に回転可能な取付台335の上に設置された砥石などの研磨手段334を、軸336を中心に高速高精度に回転させながら、軸336方向に高精度に移動させて半導体基板10の表面に接近させるとともに、半径方向に揺動させて、図26(c)に示したように、半導体基板10の表面を研磨加工した。この加工に際しては、供給手段(図示せず)より所定の加工液が供給され、研磨手段334およびその表面が加工液で湿潤して、処理中に半導体基板10と研磨手段334との接触する界面や隙間が加工液で満たされた。

【0097】冷却して固化する媒体としては、特開平9-7986号に記載されているようなステアリン酸カリウム、ステアリン酸ナトリウム、ステアリン酸アンモニウム、オクチル酸カリウム、オクチル酸ナトリウム、オクチル酸アンモニウム、ラウリル酸カリウム、ラウリル酸ナトリウム、ラウリル酸アンモニウム等の界面活性剤を20〜60体積%含む脱気水が利用できる。また、昇温により固化する媒体としては特開平9-208924号に記載されているような側鎖結晶可能ポリマーや主鎖

結晶可能ポリマー等を用いることが可能である。さらには、磁性粒子等の粉体を用いて磁場でその流動性を制御したり、電場で粘度の変化する媒体を電界で制御することも可能である。

【0098】このように固化可能な流動性媒体を用いることにより、固定台の突起部に十分に接触できない半導体基板裏面の、数10nm程度の凹凸と固定台との空間を充填して固体化できた。その結果、半導体基板の表面からの負荷によって半導体基板が微小変形することを防止でき、面取り加工済みの外周端部分を除く半導体基板の表面全域を、円周方向に10mm当たり0.1μm以下の平坦度に保持することが可能となり、半導体基板の表面の処理精度が向上した。なお、処理としての潜像形成処理や平坦化加工処理を経た後は、上記固化温度以外に温度を上げたり冷やすことにより媒体を流動化させて半導体基板を固定台から離脱させ搬送できた。

【0099】〈実施例15〉図27および図28を用いて本発明の第15の実施例を説明する。本発明者の検討によれば、比較的硬い砥石を研磨部材として用いる化学的研磨加工においては、加工される半導体基板の数10nm以下の凹凸までが、加工精度に影響することがわかった。特に、半導体基板の厚みムラが数10nm以上である場合は、半導体基板の裏面基準に半導体基板を平坦に固定しても、半導体基板の表面にはこの厚みムラだけの平坦度の低下が生じてしまう。この半導体基板の表の平坦度は上記各実施例において補正することが可能ではあるが、さらに、半導体装置の各種パターンを形成して行く工程の初期段階から、半導体基板が完全に平坦であれば、製造装置や製造プロセスの性能向上とコスト低減の効果が極めて大きい。本実施例は半導体装置の各種パターンを形成して行く工程の初期段階において、半導体基板の表面と裏面を数nm以下の平坦度と完全に平坦にした例である。

【0100】まず、図26に示した上記実施例14と同様に処理して、図27においても、高精度に回転可能な取付台330に設置された固定台301に半導体基板10を吸引固定した。固定台301の突起部や壁部と半導体基板10の第1の面367との接触していない間隙に流動化した媒体350を供給し、間隙内に充満したこの媒体350を所定の温度に冷却して固化させ半導体基板10の第1の面367の固定保持力を増加させた後、軸333を中心に高精度に回転させた。

【0101】高精度に回転可能な取付台335に設置された砥石などの研磨手段334を軸336を中心に高速高精度に回転させ、軸336方向に高精度に移動して半導体基板10の第2の面368に接近させるとともに、半径方向に揺動させて半導体基板10第2の面を研磨加工した。加工直後の部分を拡大した概略断面を図28-aに示した。この図から明らかなように、半導体基板10の第1の面367の凹凸のある断面曲線360と、固

定台 301 およびその突起部 364 等で挟まれた間隙空間を、固化可能な流動性媒体 350 が充填して半導体基板を保持して、半導体基板 10 の第 2 の面 368 が完全に平坦に加工された。

【0102】半導体基板 10 の第 2 の面 368 を完全に平坦に加工した後、図 27 (a) に示したように、半導体基板 10 を固定台 301 に保持したまま、第 2 の固定台 1 を半導体基板 10 の第 2 の面に近接させた。高精度に回転可能な取付台 30 に設置された固定台 1 と固定台 301 の回転軸 33 および回転軸 333 の軸方向は、姿勢制御機構 (図示せず) によって合致させた。固定台 1 に半導体基板 10 の第 2 の面を接触させて、排気孔 31、32 を経由して排気手段 (図示せず) を用いて半導体基板 10 を吸引固定した後、固定台 301 と半導体基板 10 の第 1 の面の間に介在する媒体 350 を流動化し保持力を解除し、図 27 (b) に示したように、取付台 301 と取付台 30 との間隔を離して固定台 301 を退避させた。

【0103】次に、高精度に回転可能な取付台 35 に設置された砥石などの研磨手段 34 を軸 36 を中心に高速高精度に回転させながら、軸 36 方向に高精度に移動させて半導体基板 10 の第 1 の面 367 に接近させるとともに、半径方向に揺動させて半導体基板 10 の第 1 の面 367 を加工処理した。この加工処理直後の部分拡大した概略断面は、図 28 (b) に示したように、半導体基板 10 の第 1 の面 369 が完全に平坦に加工されていた。

【0104】その結果、半導体基板 10 の第 1 の面 369 および第 2 の面 368 は、いずれも完全に平坦化された。そのため、半導体基板固有の平坦度の劣化の影響を生じることなく、本発明の固定台に半導体装置用の半導体基板を高い再現性で、しかも短時間で、10mm 当たり 0.1 μm 以下の平坦度に設置保持して、半導体装置製造の各種処理を行なうことができ、高性能な半導体装置を低いコストで製造することが可能になった。

【0105】〈実施例 16〉本発明の第 16 の実施例は、研磨手段として砥粒を保持した研磨テープ 370 を用いる半導体装置の製造方法の例であり、図 29 を用いて説明する。なお、図 29 (a) は側面図、図 29 (b) は平面図である。

【0106】上記図 26 に示した場合と同様に、高精度に回転可能な取付台 330 に設置された固定台 301 に、排気孔 331、332 を経由して排気手段 (図示せず) を用いて、半導体基板 10 を吸引固定した。固定台 301 の突起部および壁部と、半導体基板 10 の第 1 の面 367 が接触していない間隙に、流動化された媒体 350 を供給し、間隙内に充填されたこの媒体 350 を所定の温度に冷却して固化させて、半導体基板 10 の第 1 の面 367 の固定保持力を増加させ、軸 333 を中心に高精度に回転した。研磨テープ 370 は、送りだし巻取

り機構 (図示せず) によって適当な張力および所定の速度で順次送り出され、巻取られる。回転ローラ 371 によって、研磨テープ 370 の背面から半導体基板に対する加工加重を加えた。研磨テープ 370 を用いることにより、研磨手段のドレッシング工程が簡略化することができ、均一で安定な化学的機械研磨による半導体装置の製造が可能になった。

【0107】

【発明の効果】以上説明したように、本発明によれば、半導体基板表面に傷や加工むらを生じることなく、半導体装置の各種回路パターンの凹部を加工することなしに、回路パターンの凸部のみを平坦に加工し、高精度なアライメント精度で露光処理を行なうことができるので、高性能な半導体装置を容易に製造することが可能になった。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す図、

【図 2】本発明の第 1 の実施例を説明するための特性線図、

【図 3】本発明の第 1 の実施例を説明するための特性線図、

【図 4】本発明の第 1 の実施例を説明するための特性線図、

【図 5】本発明の第 1 の実施例を説明するための特性線図、

【図 6】本発明の第 1 の実施例を説明するための特性線図、

【図 7】本発明の第 2 の実施例を示す断面図、

【図 8】本発明の第 3 の実施例を示す断面図、

【図 9】本発明の第 4 の実施例を示す図、

【図 10】本発明の第 4 の実施例を示す図、

【図 11】本発明の第 5 の実施例を示す図、

【図 12】本発明の第 5 の実施例を示す図、

【図 13】本発明の第 6 の実施例を示す断面図、

【図 14】本発明の第 7 の実施例を示す断面図、

【図 15】本発明の第 7 の実施例を示す断面図、

【図 16】本発明の第 8 の実施例を示す断面図、

【図 17】本発明の第 8 の実施例を示す断面図、

【図 18】本発明の第 9 の実施例を示す図、

【図 19】本発明の第 9 の実施例を示す図、

【図 20】本発明の第 9 の実施例を示す図、

【図 21】本発明の第 10 の実施例を示す図、

【図 22】本発明の第 10 の実施例を示す図、

【図 23】本発明の第 11 の実施例を説明するための工程図、

【図 24】本発明の第 12 の実施例を説明するための工程図、

【図 25】本発明の第 13 の実施例を説明するための工程図、

【図 26】本発明の第 14 の実施例を示す断面図、

【図27】本発明の第15の実施例を示す断面図、
【図28】本発明の第15の実施例を説明するための図、

【図29】本発明の第16の実施例を示す図、

【図30】本発明の第1の実施例を説明するための図、

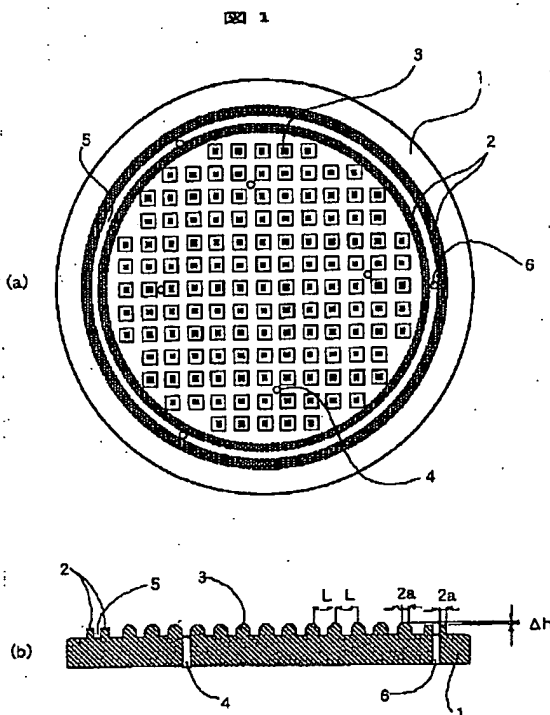
【図31】本発明の第2の実施例を説明するための図。

【符号の説明】

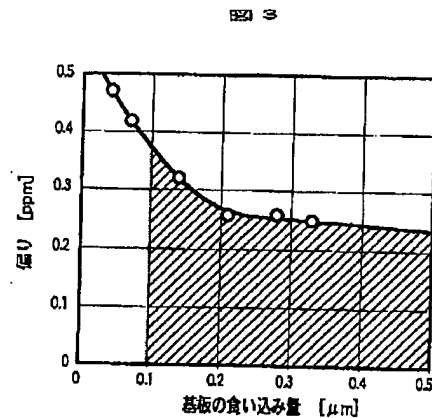
1…固定台、2…壁部、3…突起部、4…吸引孔、5…溝部、6…吸引孔、10…半導体基板、11…Z移動台、12、13…配管、14…領域、15…半導体基板の面取り加工済みの外周端部分、20…取付台、22…研磨手段、23…回転台、24…軸、26…保水手段、30…取付台、31、32…排気孔、33…軸、34…研磨手段、35…取付台、36…軸、37…超硬治具、38…平坦化手段、40…超硬治具、50…研磨手段、51、52…配管、53…加工液、70…電歪部材、80…外周固定手段、81…シール手段、83…配管、84、85…シール手段、100…取付台、101、102、103…円弧部材、104、105…巻部材、106…軸、107…公転運動軸、111、112、113…円弧部材、114、115…巻部材、120…取付台、121…円筒部、121…円弧部材、122…円筒部、122…円弧部材、123…接触部、123…巻部材、124、127、128…軸、131、132…円*

*弧部材、133…巻部材、134…軸、201…半導体基板、202…レジスト膜、203…SiO₂膜、204…SiN_x膜、205…n⁺層、206…p⁺層、207…poly-Si膜、208…SiO₂膜、209…SiN_x膜、210…SiO₂膜、211…poly-Si膜、212…SiO₂膜、213、214…poly-Si膜、215…Ta₂O₅膜、216…W膜、220…エッチストップ層、221…層間絶縁膜、222…レジスト膜、223…配線形成領域、224…レジスト膜、225…接続孔、226…配線、227…配線プラグ、230…金属配線、231…酸化膜、232…有機SOC膜、233…表面、234…酸化膜、235…レジスト膜、236…接続孔、237…酸素RIE処理、238…酸化層、239…ビア、300…縮小投影レンズ、301…固定台、302…光源、303…コンデンサレンズ、304…原画マスク、305…X移動台、306…Y移動台、330…取付台、331、332…排気孔、333…軸、334…研磨手段、335…取付台、336…軸、350…媒体、360…粗さ曲線、361…山頂線、362…谷底線、364…突起部、365…先端部、367…半導体基板の第1の面、368…半導体基板の第2の面、369…半導体基板の第1の面、370…研磨テープ、371…回転ローラ、390、391…一実測点。

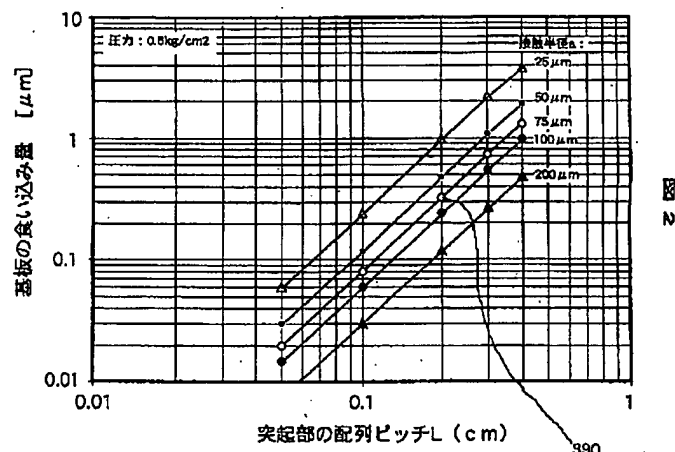
【図1】



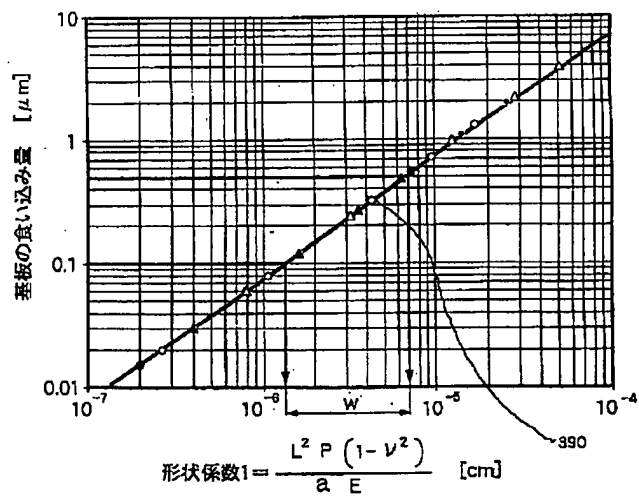
【図3】



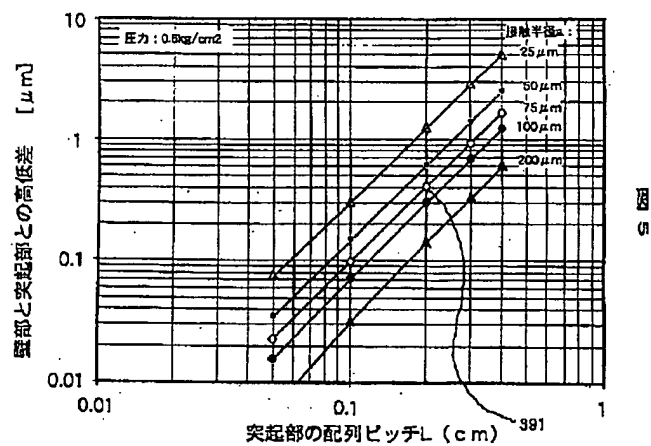
【図2】



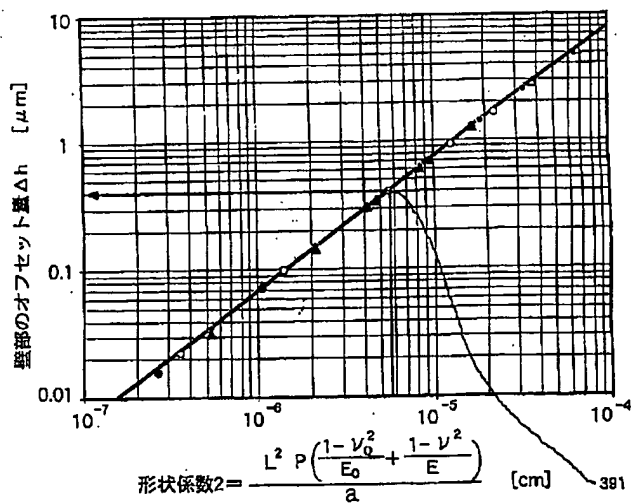
【図4】



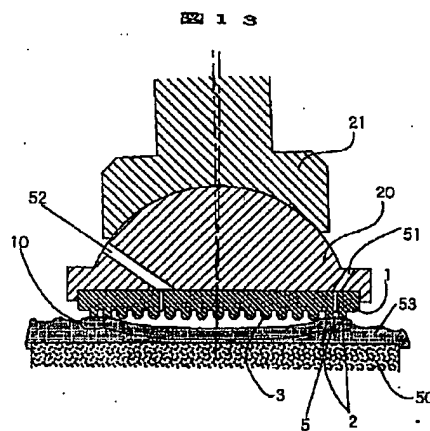
【図5】



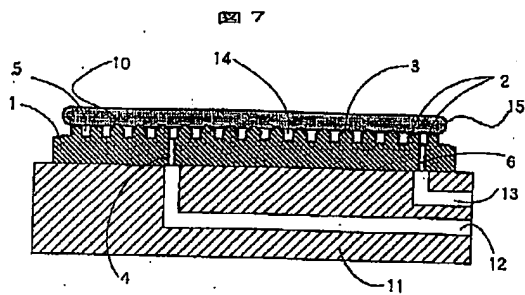
【図6】



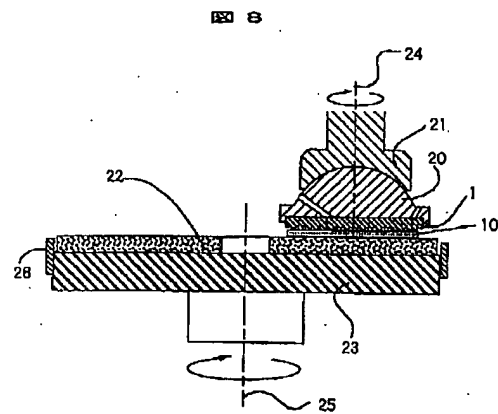
【図13】



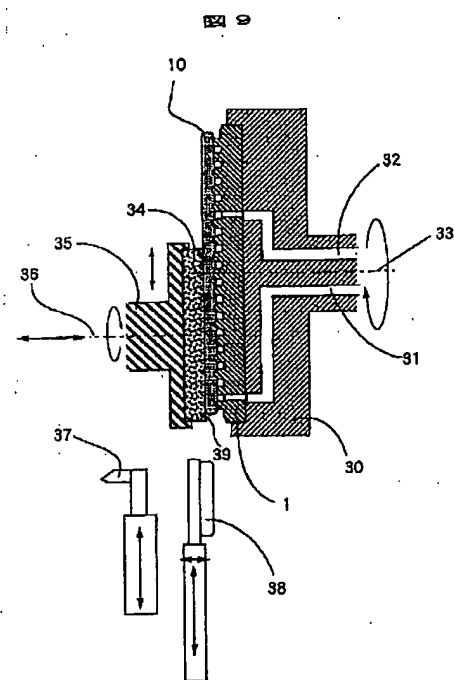
【図7】



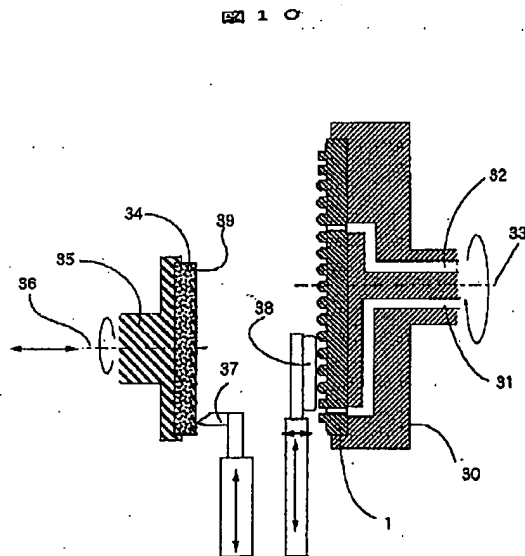
【図8】



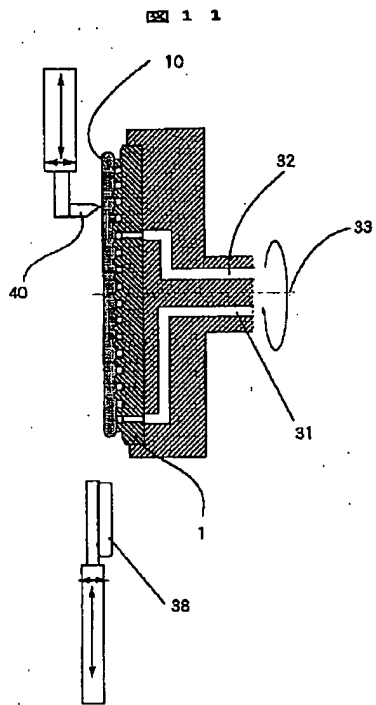
【図9】



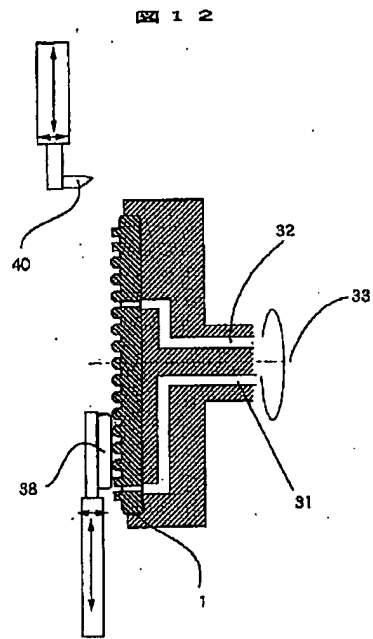
【図10】



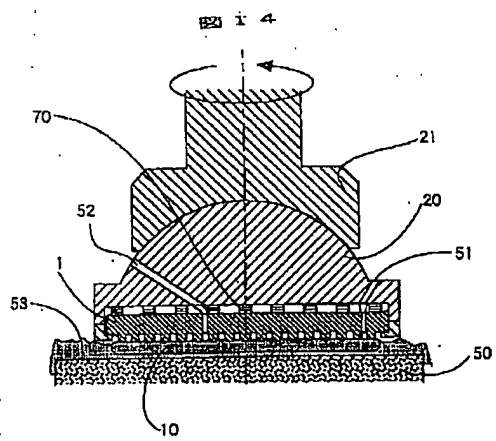
【図11】



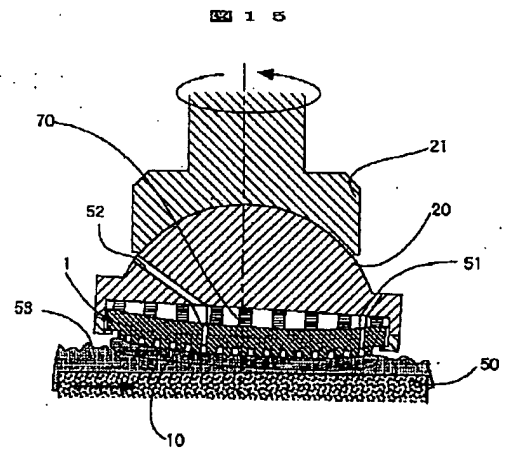
【図12】



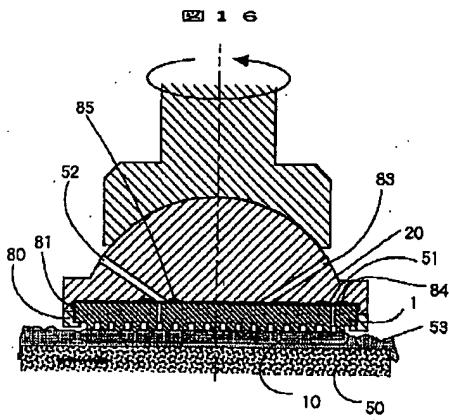
【図14】



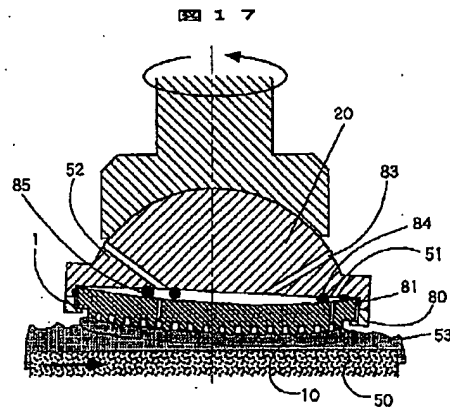
【図15】



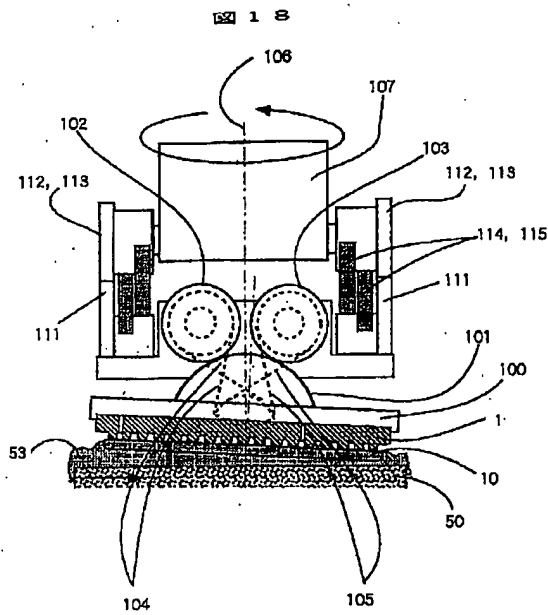
【図16】



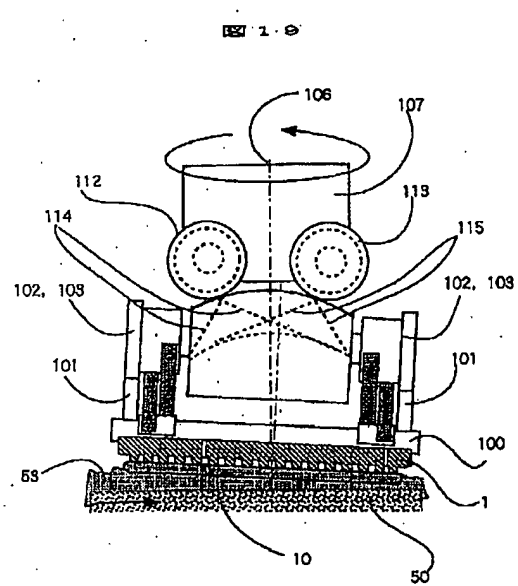
【図17】



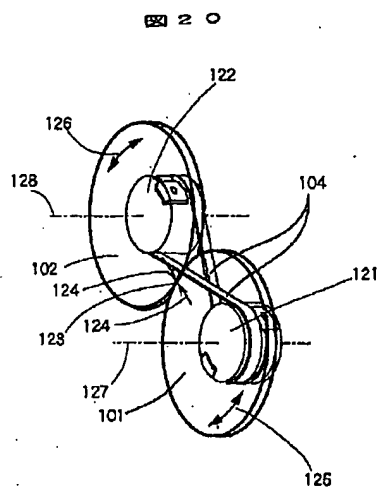
【図18】



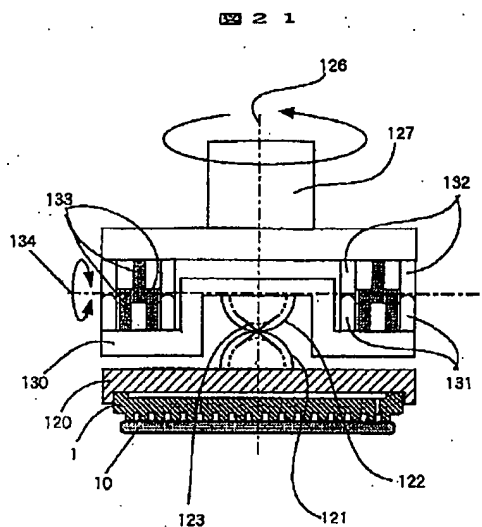
【図19】



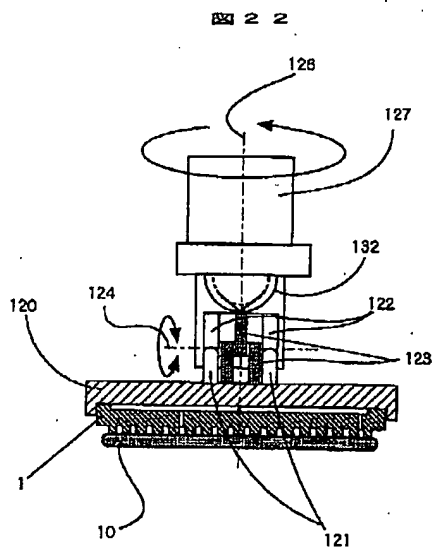
【図 20】



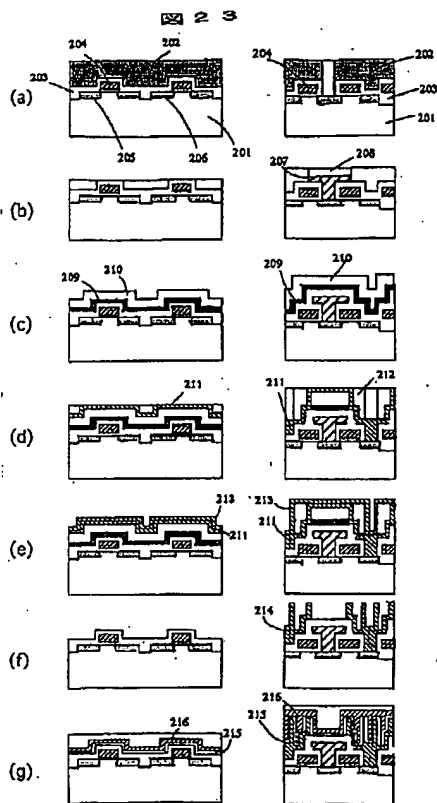
【図 21】



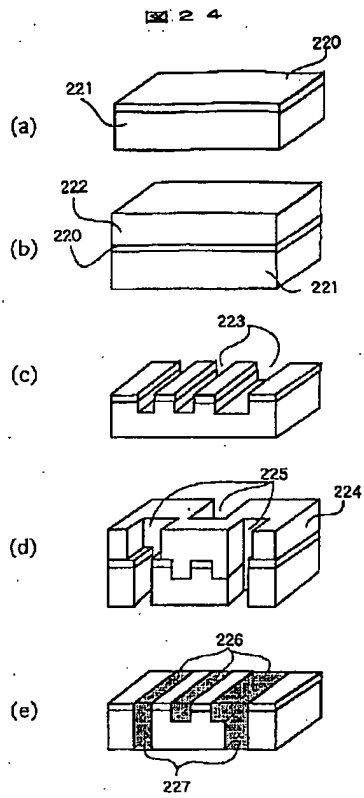
【図 22】



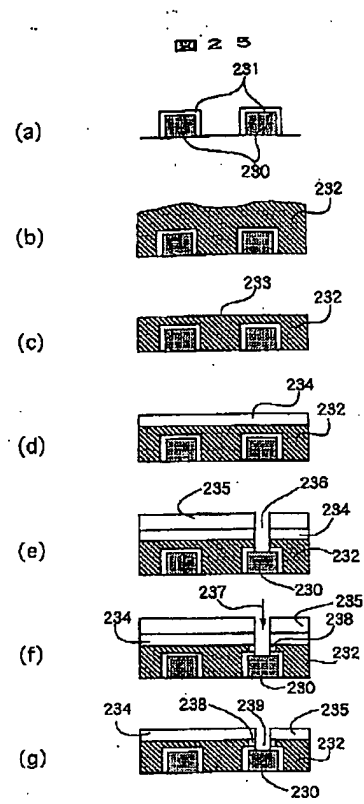
【図 23】



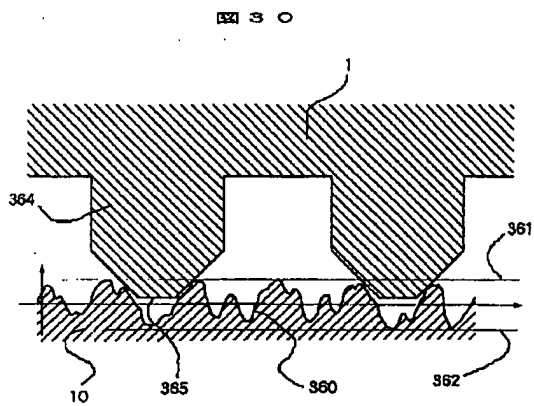
【図24】



【図25】

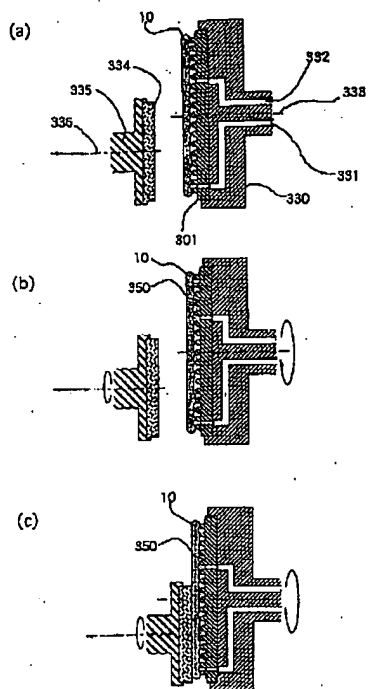


【図30】



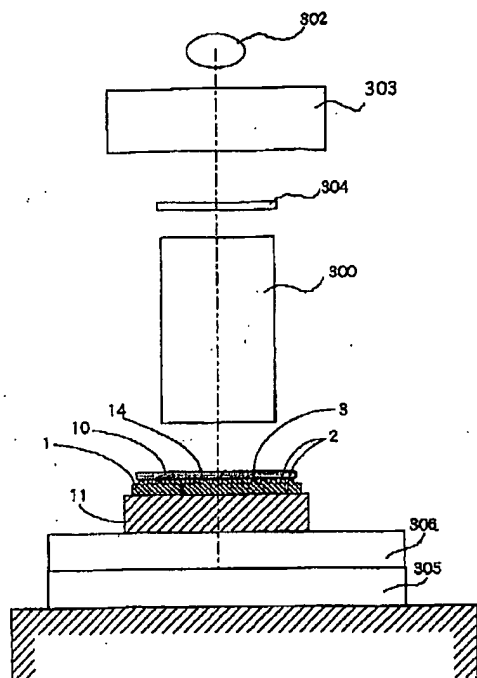
【図26】

図 2 6



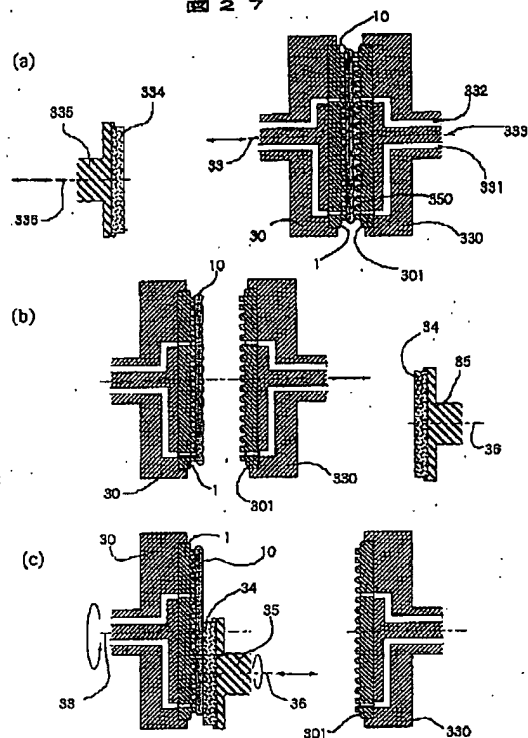
【図31】

図 3 1

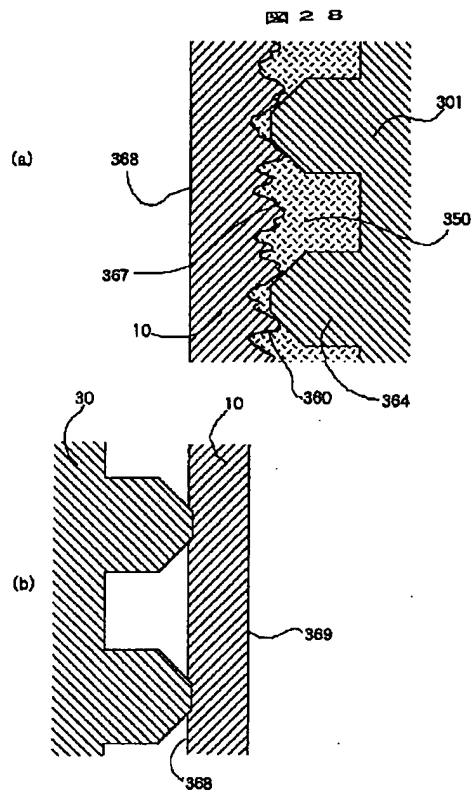


【図27】

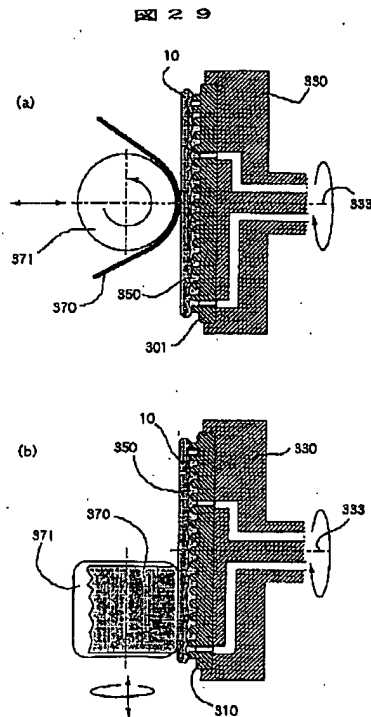
図 2 7



【図28】



【図29】



フロントページの続き

- (72)発明者 小田倉 伸行
茨城県ひたちなか市市毛882番地 株式会
社日立製作所計測器事業部内
- (72)発明者 荒尾 修
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 但馬 武
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 佐伯 秀雄
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内

- (72)発明者 ▲片▼桐 創一
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
- (72)発明者 安井 感
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
- (72)発明者 小室 仁
東京都青梅市藤橋3丁目3番地2 日立東
京エレクトロニクス株式会社内
- (72)発明者 西村 貞之
東京都千代田区神田駿河台四丁目6番地
株式会社日立製作所内